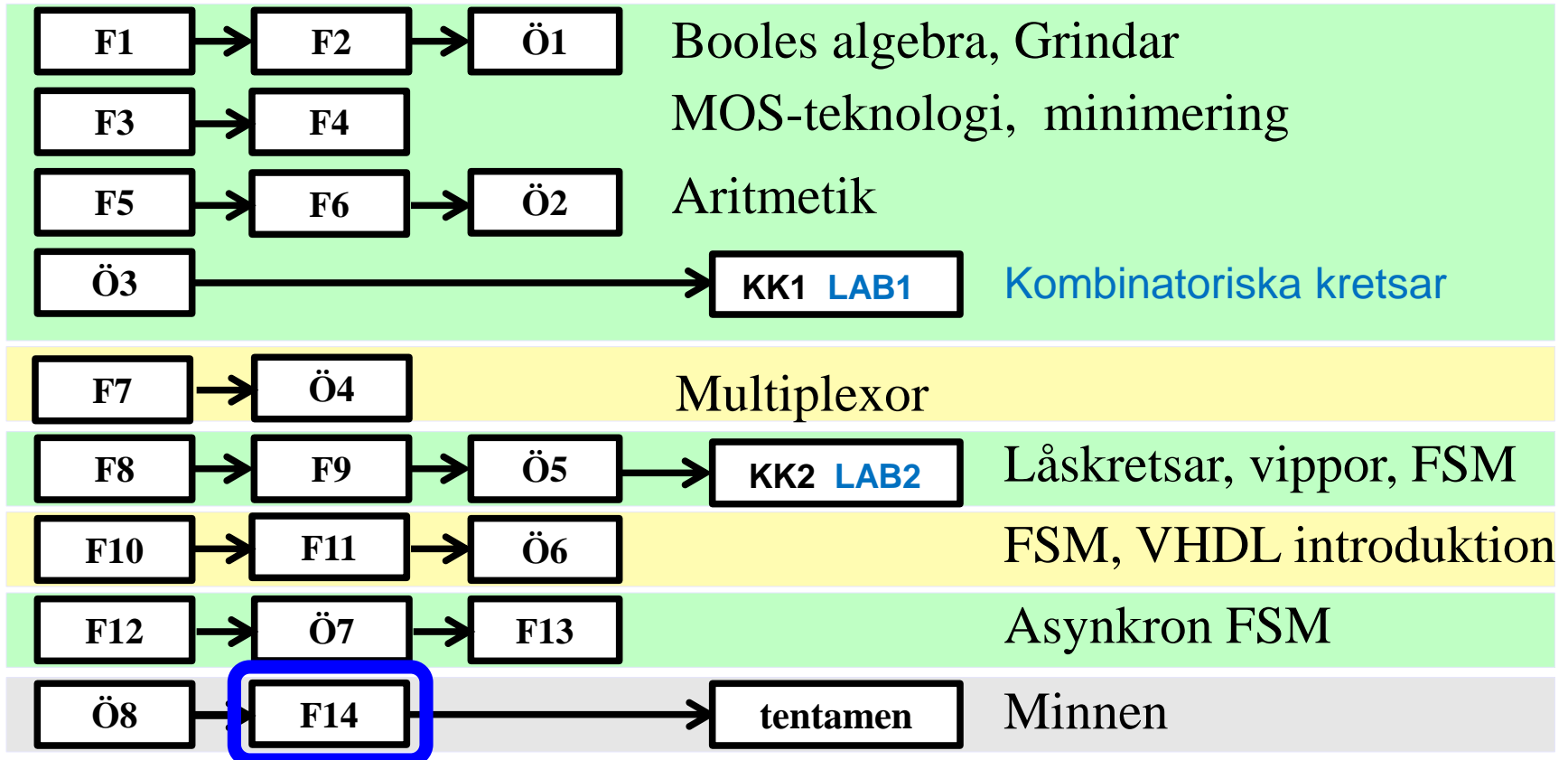


IE1205 Digital Design:

F14: Halvledarminnen, Mikrodatorn

IE1205 Digital Design



Föreläsningar och övningar bygger på varandra! Ta alltid igen det Du missat!
Läs på i förväg – delta i undervisningen – arbeta igenom materialet efteråt!

Detta har hänt i kursen ...



Decimala, hexadecimala, oktala och binära talsystemen
AND OR NOT EXOR EXNOR Sanningstabell, mintermer Maxtermer PS-form Booles algebra
SP-form deMorgans lag Bubbelgrindar Fullständig logik NAND NOR CMOS grindar,
standardkretsar Minimering med Karnaugh-diagram 2, 3, 4, 5, 6 variabler
Registeraritmetik tvåkomplementrepresentation av binära tal
Additionskretsar Multiplikationskrets Divisionskrets
Multiplexorer och Shannon dekomposition Dekoder/Demultiplexor Enkoder
Prioritetsenkoder Kodomvandlare
VHDL introduktion
Vippor och Låskretsar SR-latch D-latch D-vippa JK-vippa T-vippa Räknare Skiftregister
Vippor i VHDL Moore-automat Mealy-automat Tillståndskod
Oanvända tillstånd Analys av sekvensnät Tillståndsminimering
Tillståndsmaskiner i VHDL Asynkrona sekvensnät flödestabell exitationstabell
tillståndskodning

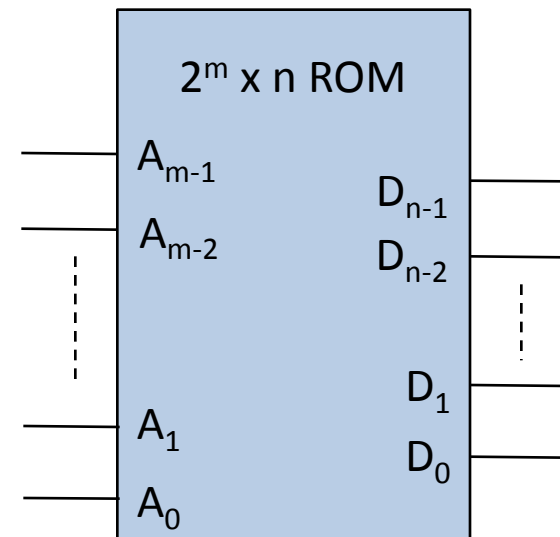
Hasard Metastabilitet

Läsminne

Read Only Memory (ROM)



- Ett läsminne har addressingångar och datautgångar
- Med m adresslinjer kan man accessa 2^m olika minnesadresser
- På varje adress finns det ett dataord på n bitar
- Oftast har ROM minnet också en Chip Enable (CE) och Output Enable (OE) ingång



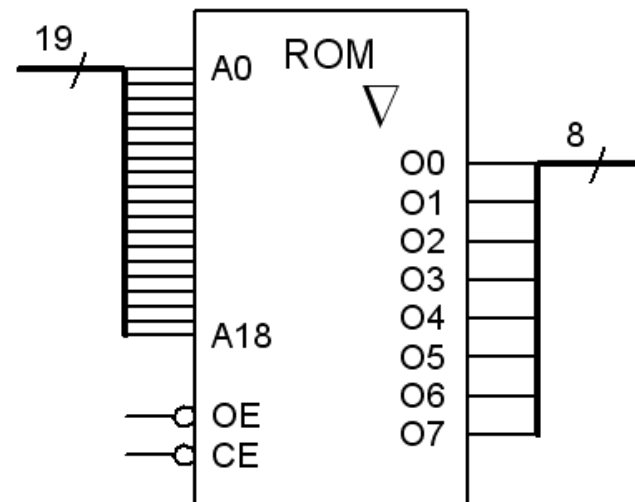
Läsminne Read Only Memory ROM

Exempel på ett ROM

Läsminne:

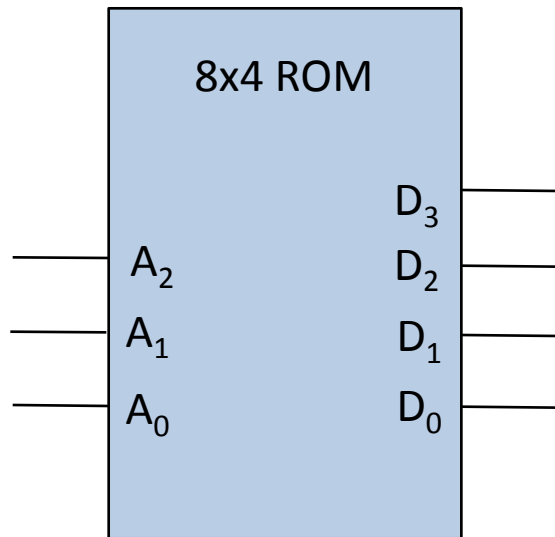


ROM 4M 512k × 8 bit



\overline{CE} **Chip Enable** aktiverar chippet
 \overline{OE} **Output Enable** kopplar in datautgångarna
(annars är dom i Three-state läge)

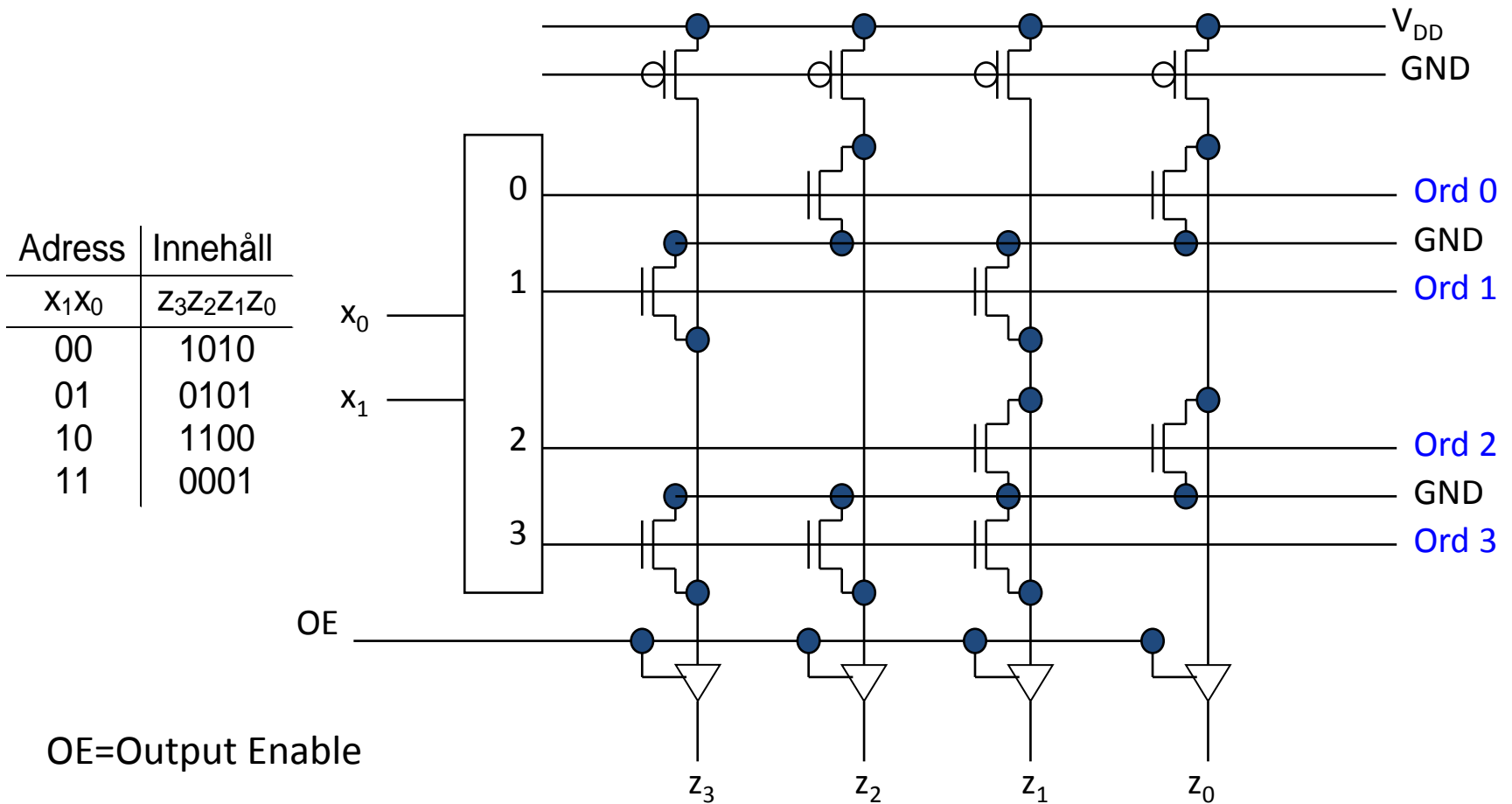
8x4 ROM



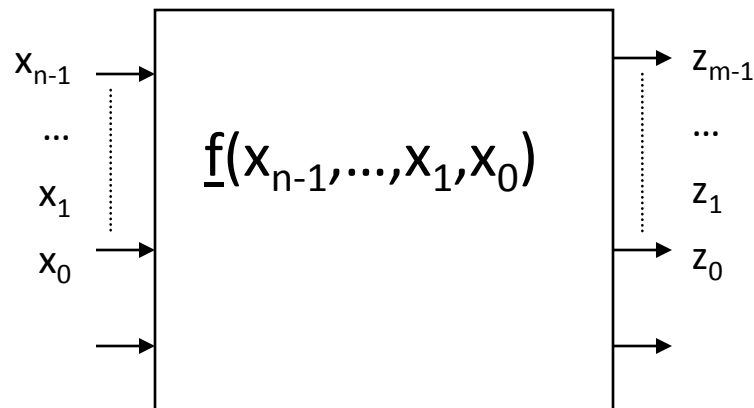
Möjlig minnesinnehåll

A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1	0
0	0	1	0	1	1	0
0	1	0	1	1	1	1
0	1	1	1	1	0	1
1	0	0	0	0	1	1
1	0	1	0	0	0	0
1	1	0	1	0	0	1
1	1	1	0	0	1	1

Read-Only Memory (ROM)



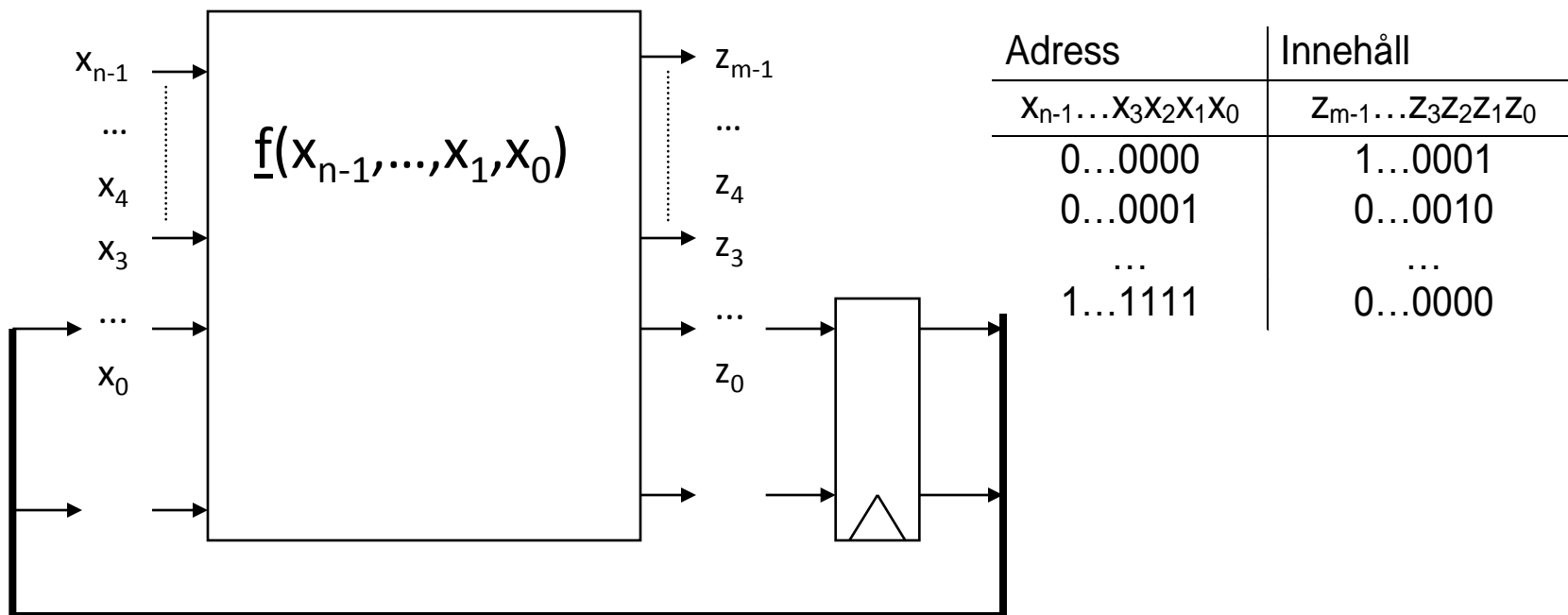
Användning av ROM för att implementera funktioner



Adress	Innehåll
$x_{n-1} \dots x_1 x_0$	$z_{m-1} \dots z_1 z_0$
0...00	1...10
0...01	0...01
...	...
1...11	0...01

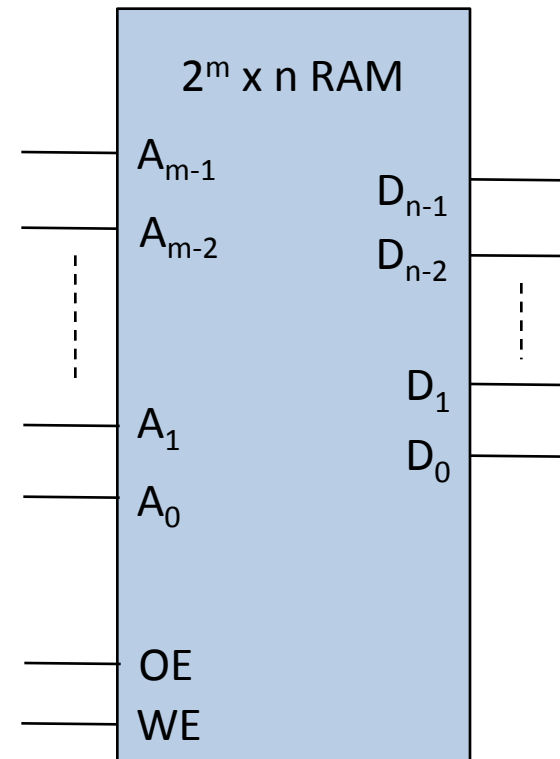
Ett ROM med n ingångar med m utgångar kan användas för att implementera en kombinatorisk funktion med m utgångar och 2^n min-termer

Användning av ROM för att implementera sekvenser



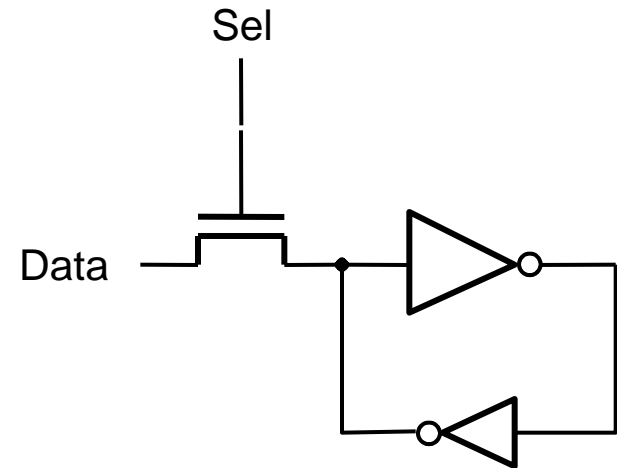
Mha återkopplingar kan ROMet användas till att generera sekvenser och implementera tillståndsmaskiner

- RAM-minnet har även en Write Enable (WE) ingång som möjliggör att skriva in ett dataord på en given address
- $D_{n-1} \dots D_0$ är alltså både in- och utgångar



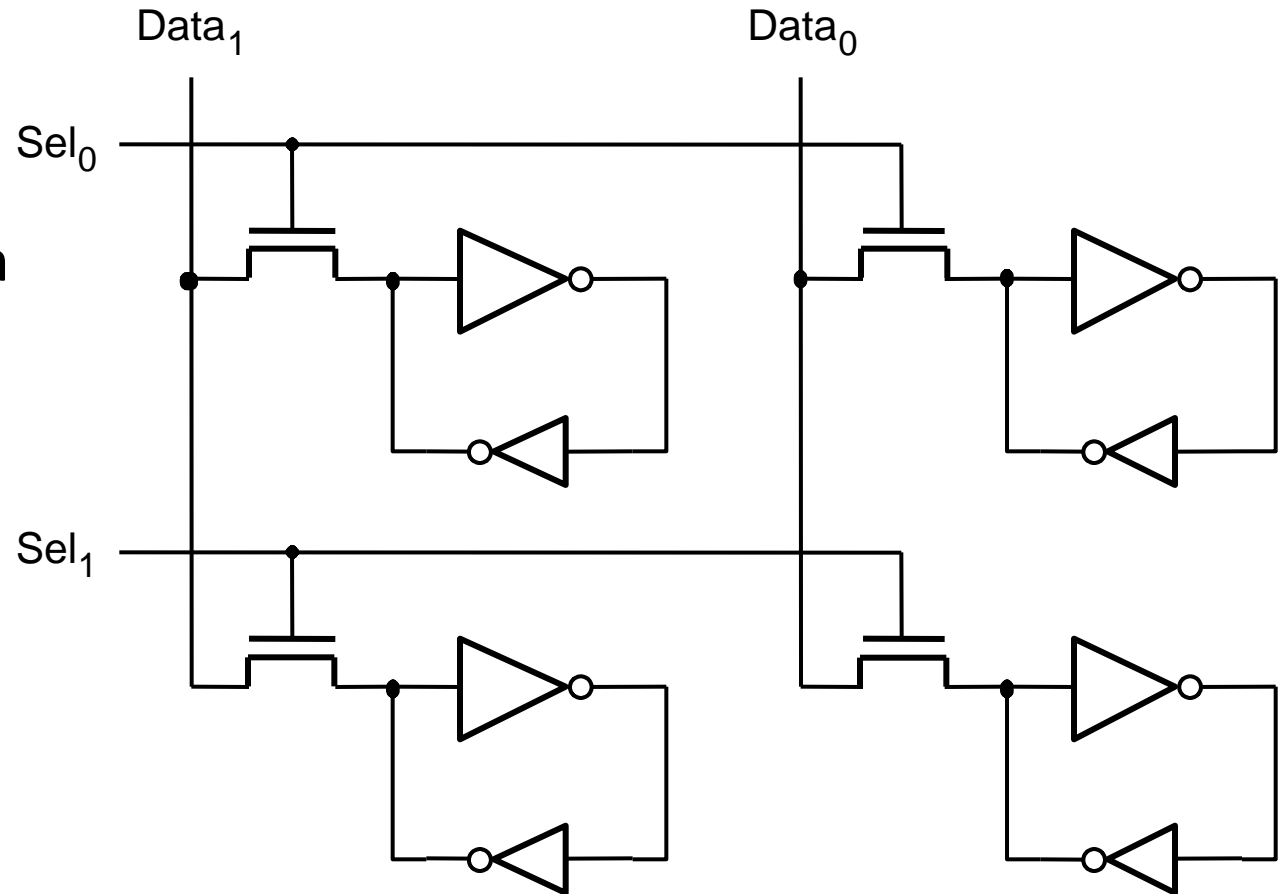
Static Random Memory Access

- Ett SRAM-minne innehåller en matris av SRAM-celler
- För att skriva används 'Data' som ingång!
 - 'Sel' sätts till 1 och det värde som läggs ut på 'Data' sparas i cellen
- För att läsa används 'Data' som utgång!
 - 'Sel' sätts till 1, och värdet i cellen hamnar på utgången



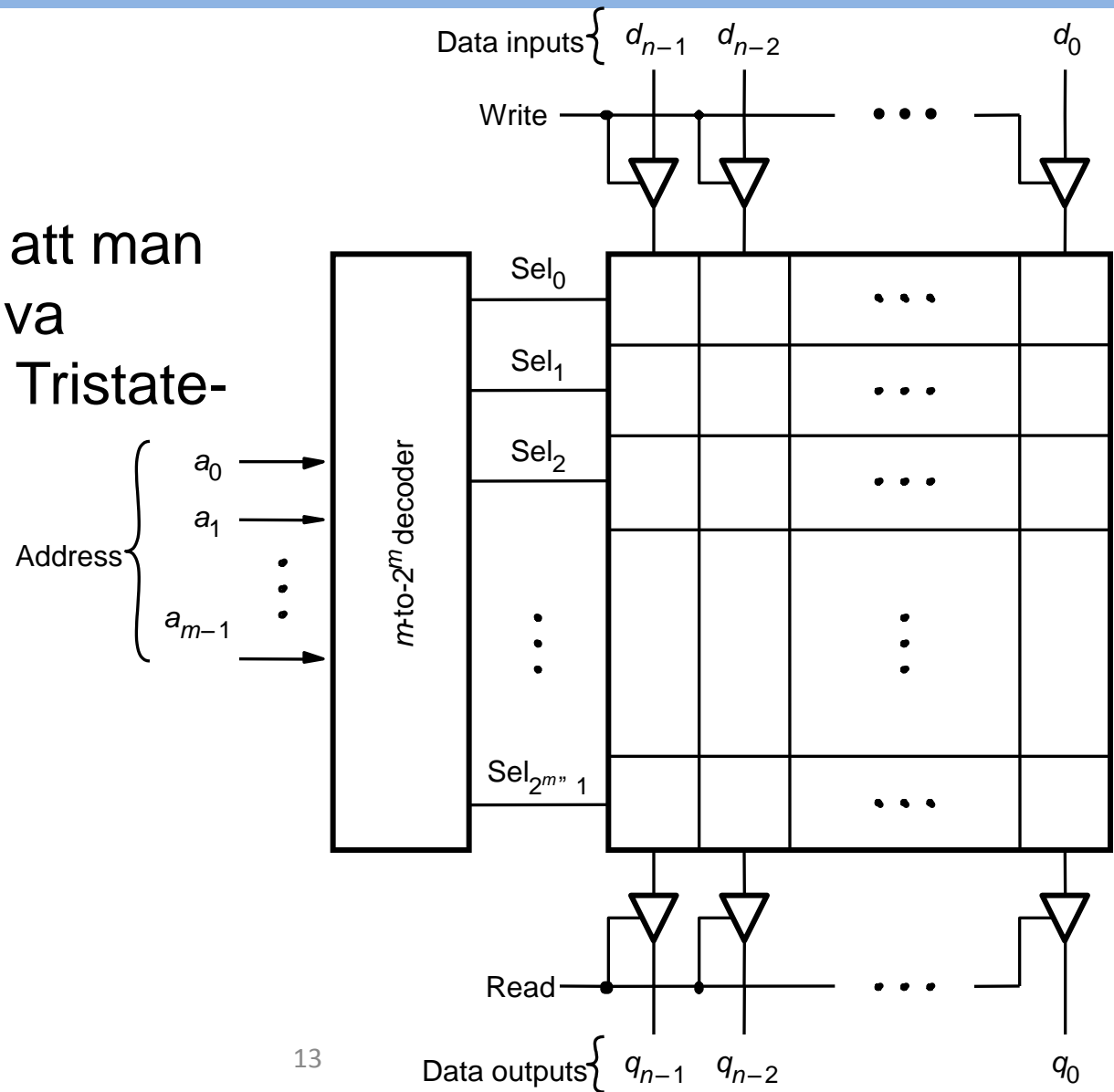
SRAM

Man bildar nu en
matrix av $2^m \times n$
SRAM-celler



SRAM-minne

- För att säkerställa att man bara läsa eller skriva samtidigt används Tristate-buffrar



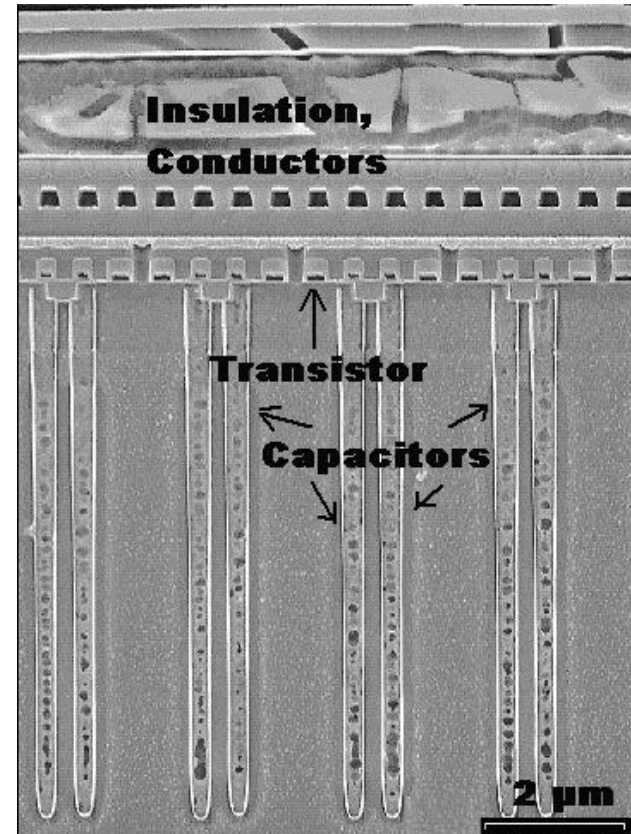
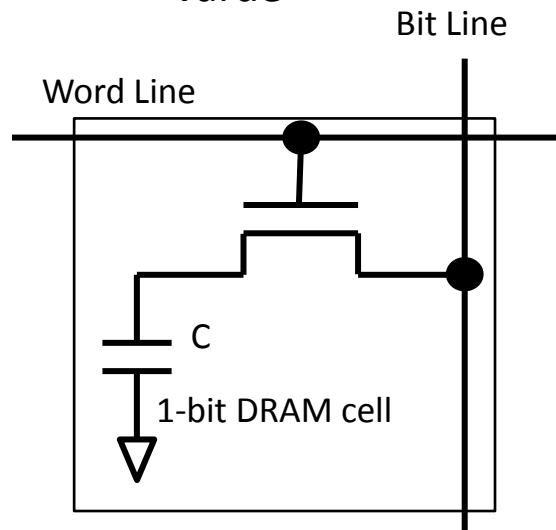
DRAM (Dynamic RAM)

- SRAM minnescellen behöver 4 transistorer och det blir för kostsamt att implementera ett stort minne
- DRAM minnescellerna använder bara en transistor och en kondensator



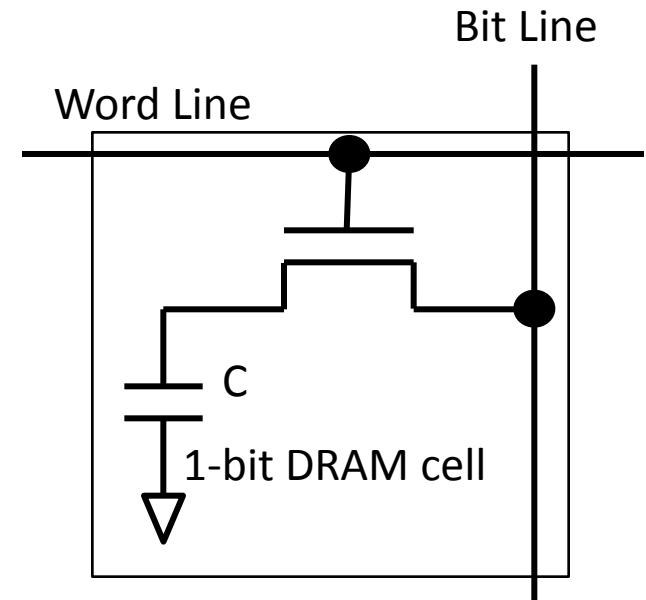
DRAM-Minnescell

- DRAM-cellen består bara av en transistor och en kondensator
- Skrivning
 - För att ladda cellen ska ordlinjen sättas till '1'
 - Cellen får nu bitlinjens värde



DRAM-Minnescell

- Läsning är mer komplex
 - Man vill inte tappa informationen vid läsning!
 - Bit-linjen sätts på en spänning mellan High and Low
 - För att läsa cellen ska ordlinjen sättas till '1'
 - Bitlinjens justerar nu sin spänning antingen uppåt eller nedåt
 - En extra krets (sense amplifier) detekterar ändringens riktning och skapa en riktig 0:a eller 1:a
 - Även laddningen i kondensatorn C måste återställas!



SRAM vs DRAM

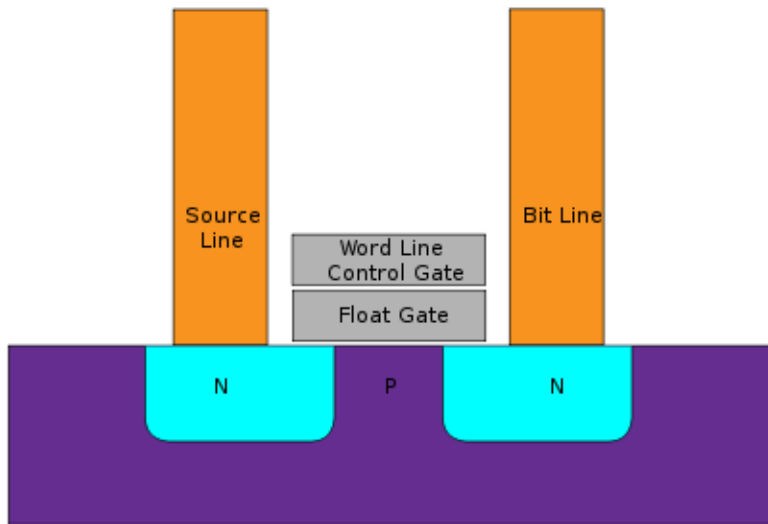


- SRAM tar mer plats än DRAM men kräver en enklare accesslogik och är därför snabbare (men också dyrare)
- DRAM används för de RAM-minnen i våra vanliga datorer
- När man tar bort strömmen försvinner innehållet av SRAM eller DRAM-minnet!

- Flyktiga minnen
 - Minnen tappar sin information om man kopplar bort strömförsörjningen
 - static RAM (SRAM)
 - dynamic RAM (DRAM)
- Icke-flyktiga minnen
 - Minnen behåller sin information om man kopplar bort strömförsörjningen
 - Flash
 - EPROM, EEPROM

Det behövs en kombination av olika minnen i en elektroteknisk konstruktion!

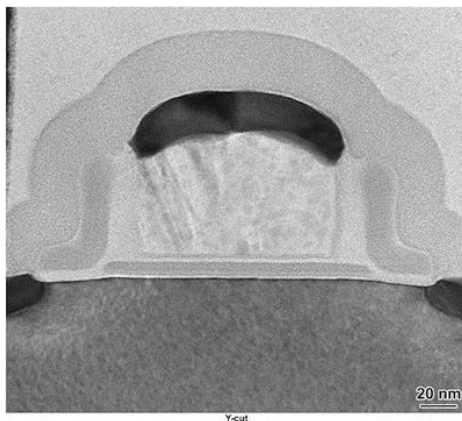
FLASH minne



Transistor tillverkas med dubbel gate. En styrgate och en flytande.

Elektroner tunnlas in och ur den "flytande gaten"

Variant av EEPROM (Electrically Erasable Programmable Read Only Memory), men raderas i block istället för i små grupper.

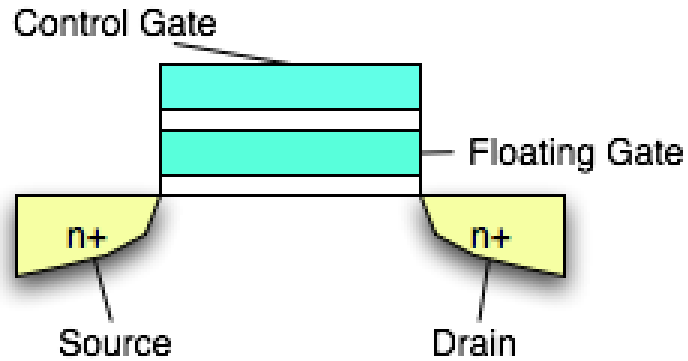


Flash Memory



- icke-flyktig minne
- låg kostnad och låg effektförbrukning
- kan suddas och uppdateras, men det tar mycket mer tid än i ett RAM-minne

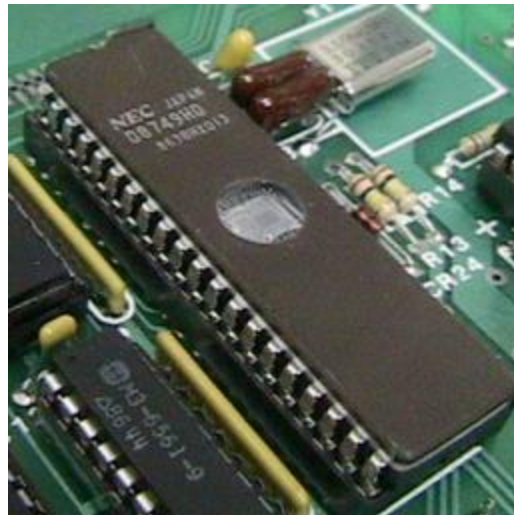
EPROM



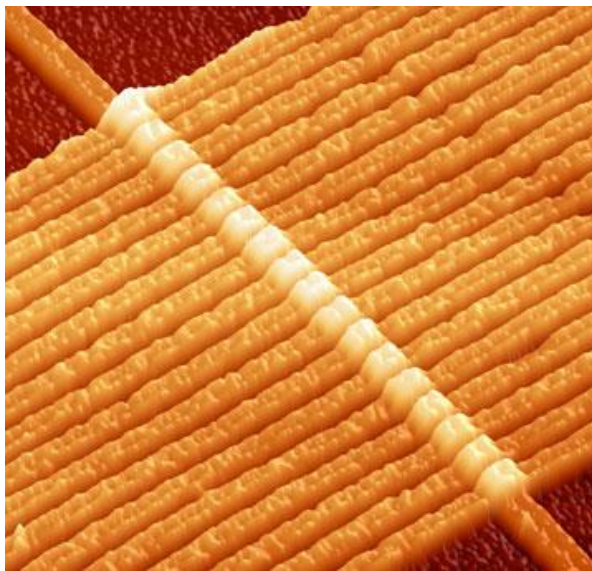
Erasable Programmable Read Only Memory

Liknande EEPROM, men raderas med ultraviolett ljus.

(Därför det lilla fönstret i kapseln)



Nya typer av minnen: Memristor



Memristor



Passiv komponent som relaterar laddning till magnetiskt flöde.

Teoretiskt komponent föreslagen av Leon Chua, som visade sig gå att tillverka med modern tillverkningssteknik.

Fundamental elektronisk komponent (jämfört resistor, induktor och kondensator)

Fungerar med transport av både elektroner och atomer i halvledaren.

Minnen lanseras av HP i dagarna, förutspås kunna bli lika snabba och kompakta som RAM, men behåller minnet

Write Only Memory



Signetics FULLY ENCODED, 9046 x N, RANDOM ACCESS WRITE-ONLY-MEMORY 25120

FINAL SPECIFICATION⁽¹⁰⁾

DESCRIPTION

The Signetics 25000 Series 9046XN Random Access Write-Only-Memory employs both enhancement and depletion mode P-Channel, N-Channel, and neu⁽¹⁾ channel MOS devices. Although a static device, a single TTL level clock phase is required to drive the on-board multi-port clock generator. Data refresh is accomplished during CB and LH periods⁽¹¹⁾. Quadri-state outputs (when applicable) allow expansion in many directions, depending on organization.

The static memory cells are operated dynamically to yield extremely low power dissipation. All inputs and outputs are directly TTL compatible when proper interfacing circuitry is employed.

Device construction is more or less S.O.S.⁽²⁾.

FEATURES

- FULLY ENCODED MULTI-PORT ADDRESSING
- WRITE CYCLE TIME 80nS (MAX. TYPICAL)
- WRITE ACCESS TIME ⁽³⁾
- POWER DISSIPATION 10uW/BIT TYPICAL
- CELL REFRESH TIME 2mS (MIN. TYPICAL)
- TTL/DTL COMPATIBLE INPUTS⁽⁴⁾
- AVAILABLE OUTPUTS "n"
- CLOCK LINE CAPACITANCE 2pF MAX.⁽⁵⁾
- V_{CC} = +10V
- V_{DD} = 0V ± 2%
- V_{FF} = 6.3V_{dc} ⁽⁶⁾

APPLICATIONS

DON'T CARE BUFFER STORES
 LEAST SIGNIFICANT CONTROL MEMORIES
 POST MORTEM MEMORIES (WEAPON SYSTEMS)
 ARTIFICIAL MEMORY SYSTEMS
 NON-INTELLIGENT MICRO CONTROLLERS
 FIRST-IN NEVER-OUT (FINO) ASYNCHRONOUS
 BUFFERS
 OVERFLOW REGISTER (BIT BUCKET)

PROCESS TECHNOLOGY

The use of Signetics unique SEX⁽⁷⁾ process yields V_{th} (var.) and allows the design⁽⁸⁾ and production⁽⁹⁾ of higher performance MOS circuits than can be obtained by competitor's techniques.

BIPOLAR COMPATIBILITY

All data and clock inputs plus applicable outputs will interface directly or nearly directly with bipolar circuits of suitable characteristics. In any event use 1 amp fuses in all power supply and data lines.

INPUT PROTECTION

All terminals are provided with slip-on latex protectors for the prevention of Voltage Destruction. (PILL packaged devices do not require protection.)

SILICON PACKAGING

Low cost silicon DIP packaging is implemented and reliability is assured by the use of a non-hermetic sealing technique which prevents the entrapment of harmful ions, but which allows the free exchange of friendly ions.

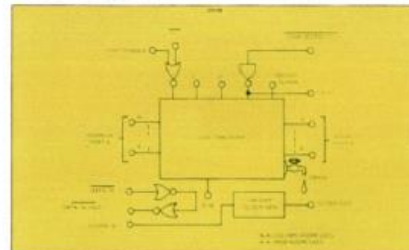
SPECIAL FEATURES

Because of the employment of the Signetics' proprietary Sanderson-Rabbet Channel the 25120 will provide 50% higher speed than you will obtain.

COOLING

The 25120 is easily cooled by employment of a six-foot fan, 1/2" from the package. If the device fails, you have exceeded the ratings. In such cases, more air is recommended.

BLOCK DIAGRAM



PART IDENTIFICATION

TYPE	TEMP. RANGE	PACKAGE
25120	0 to -70°C	Whatever's Right

APPLICATIONS

DON'T CARE BUFFER STORES
 LEAST SIGNIFICANT CONTROL MEMORIES
 POST MORTEM MEMORIES (WEAPON SYSTEMS)
 ARTIFICIAL MEMORY SYSTEMS
 NON-INTELLIGENT MICRO CONTROLLERS
 FIRST-IN NEVER-OUT (FINO) ASYNCHRONOUS
 BUFFERS
 OVERFLOW REGISTER (BIT BUCKET)

Memory Access Times and Costs



Memory Technology	Typical Access Time	\$ per GB in 2004
SRAM	0.5 ns - 5 ns	\$4000 - \$10000
DRAM	50 ns – 70 ns	\$100 - \$200
Magnetic disk	5,000,000 ns – 20,000,000 ns	\$0.5 - \$2

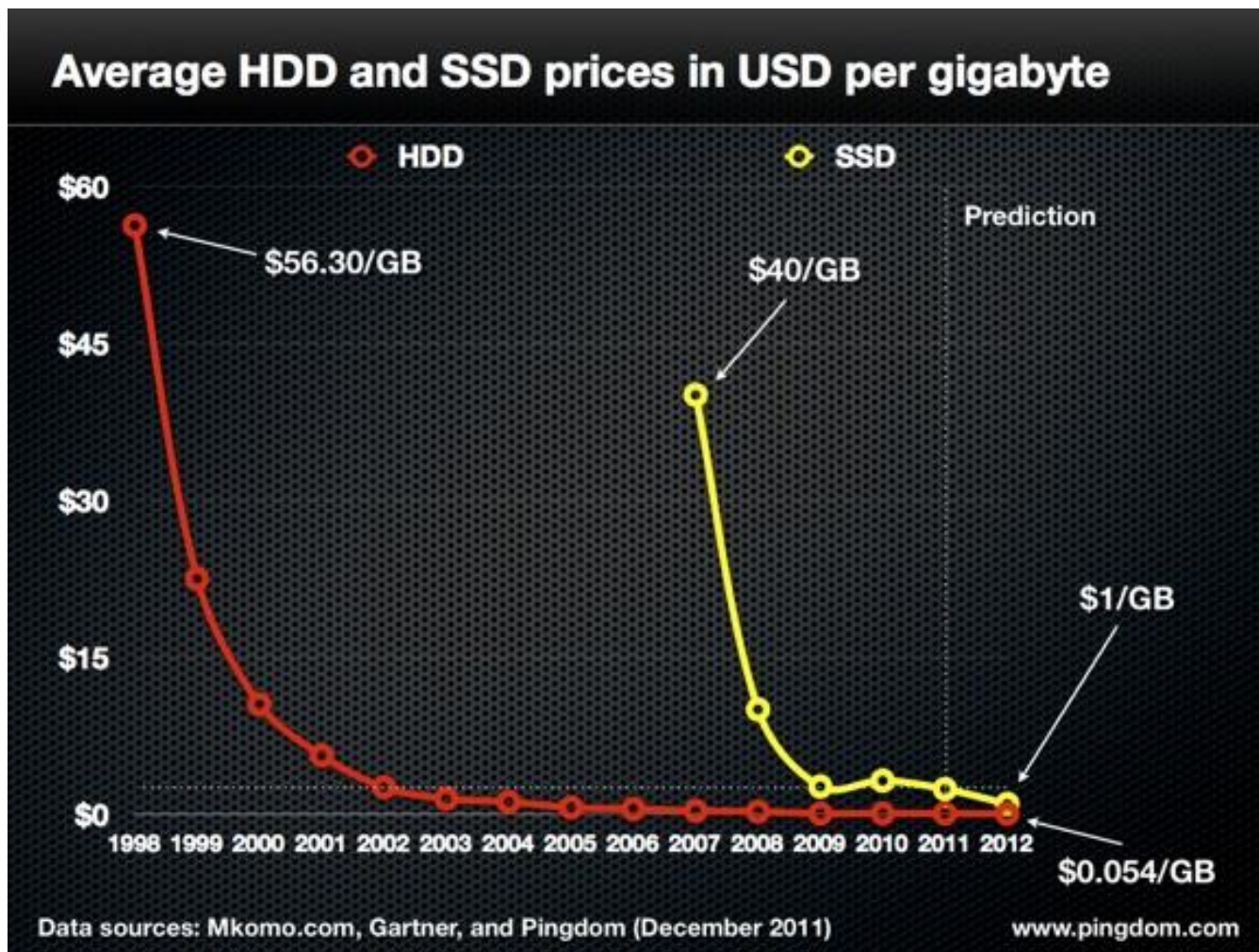
Source: Patterson and Hennessy, 2004

HDD \$/gb

Date	Drive info	Size	Cost	\$/GB
January 1980	Morrow Systems	26MB	\$5,000.00	\$193,000.00
March 1989	Western Digital	40MB	\$1,199.00	\$36,000.00
February 1999	Quantum	8GB	\$299.99	\$43.10
July 2009	HITACHI	1TB	\$74.99	\$0.07

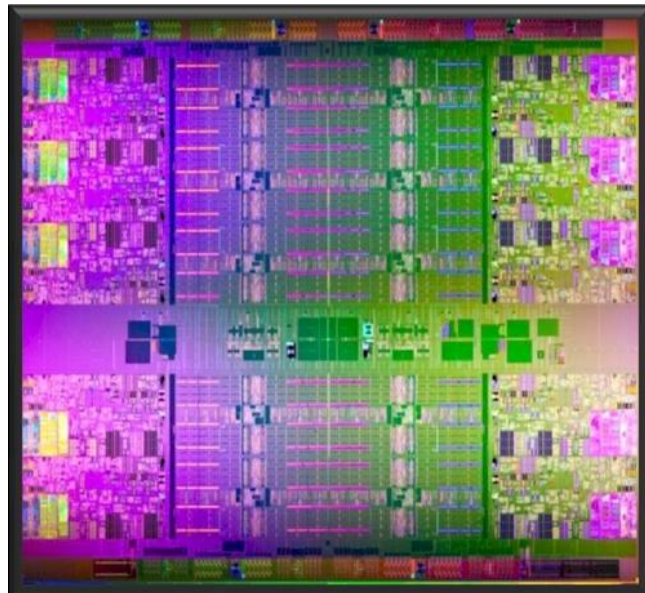


HDD och HDD \$/gb



Mikrodatorn

- En mikrodator består av både kombinatoriska och sekventiell digital logik



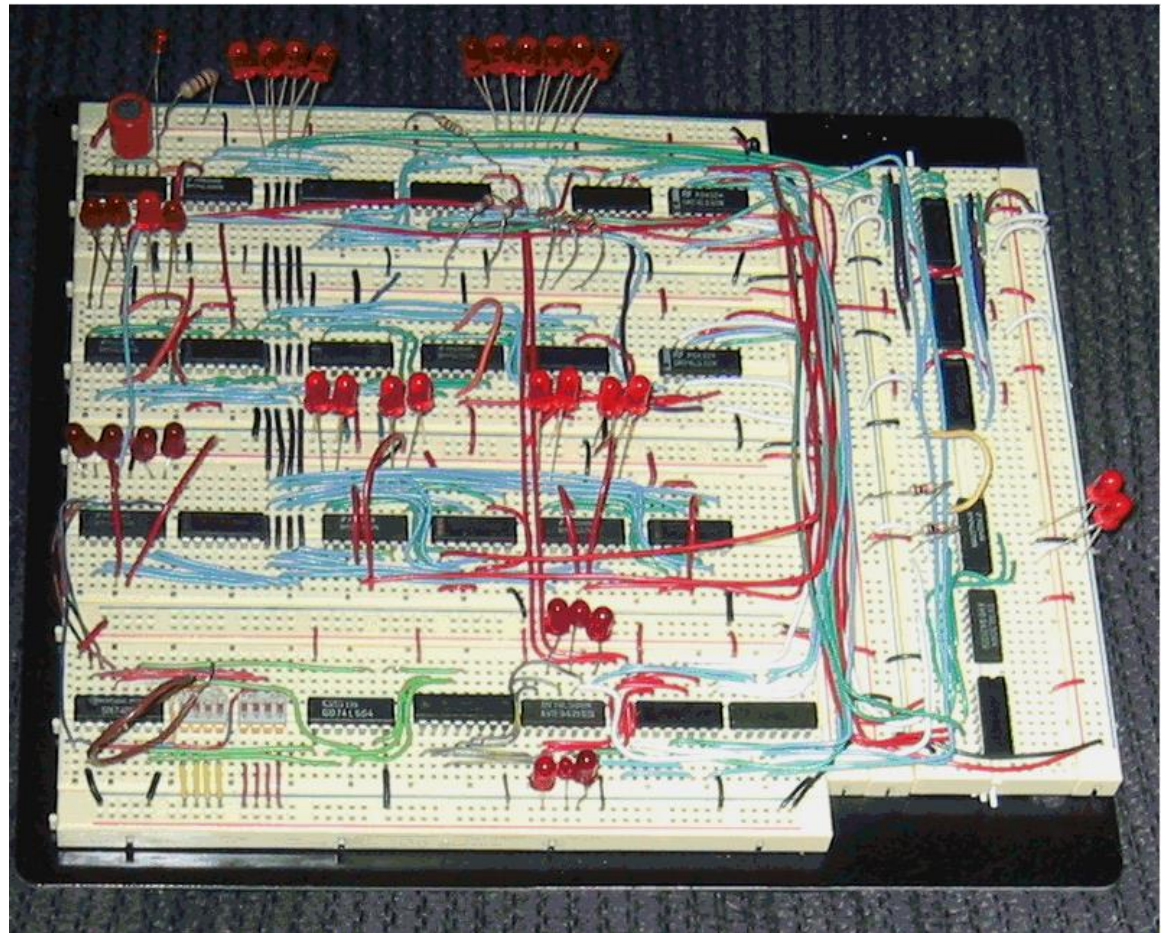
10-Core Xeon Westmere-EX



Mikrodator?

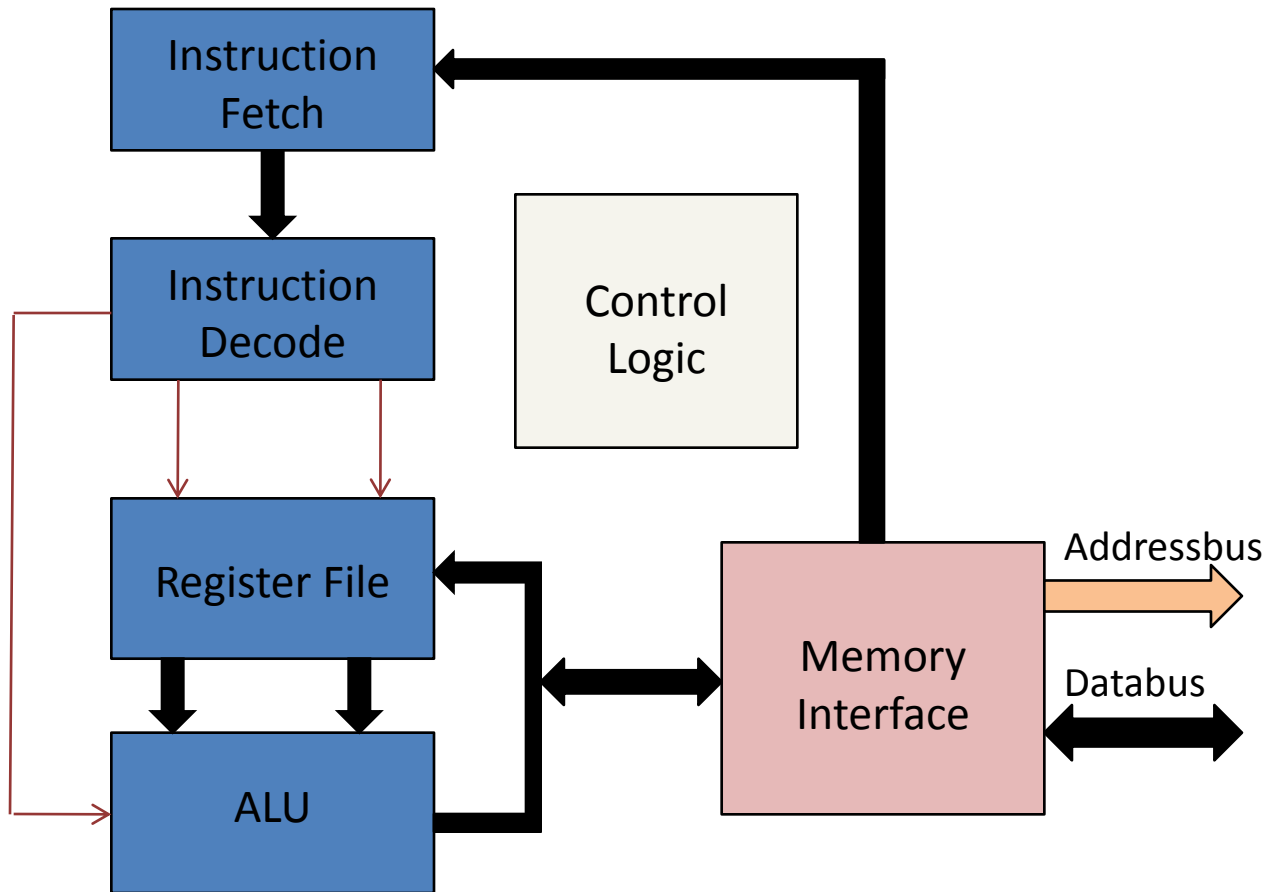
Länk till en byggsats av 4-bitsdator med standardkretsar på kopplingsdäck finns på kurshemsidan.

Kanske årets Julklapp?

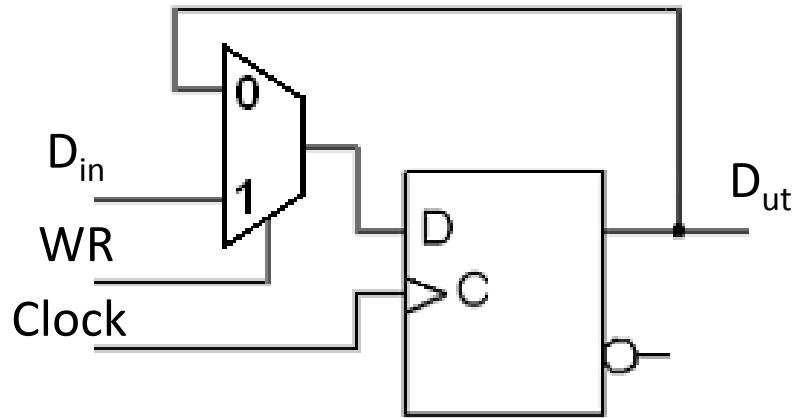


Principbild Mikrodatorarkitektur

Tex Motorola 68000



Registerelement

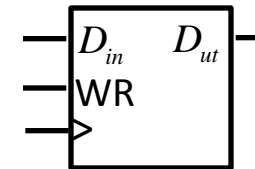


WR / \overline{hold}

WR = 1 synkron skrivning

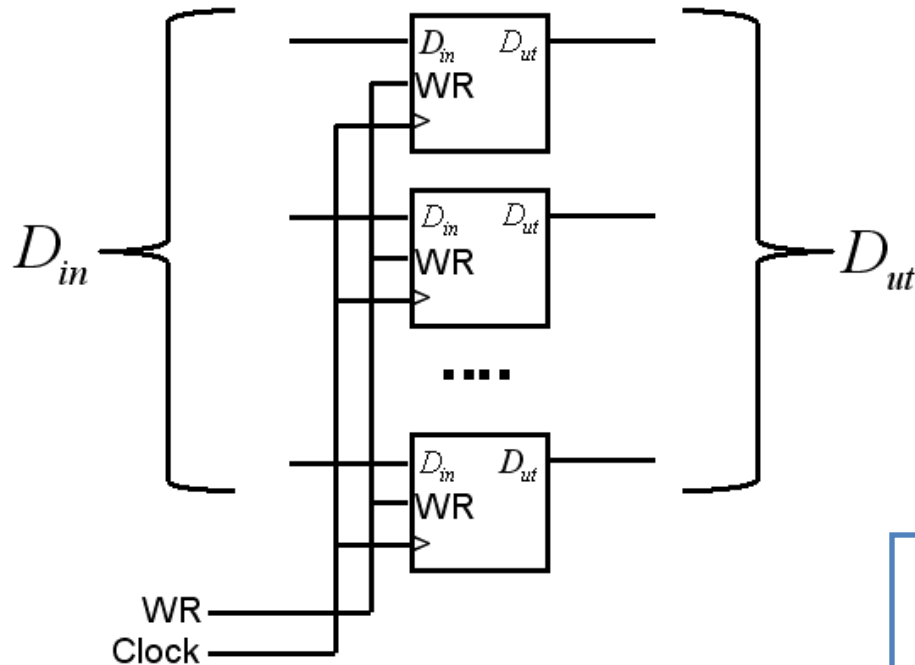
WR = 0 hold

Symbol

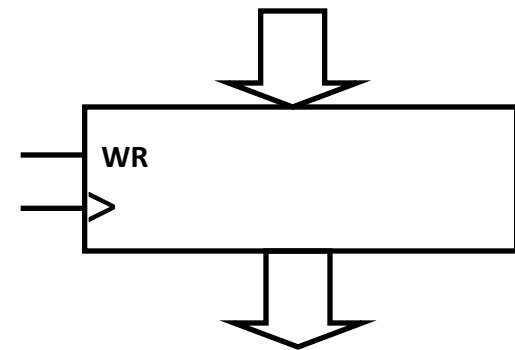


1 logikelement i
en FPGA

Register

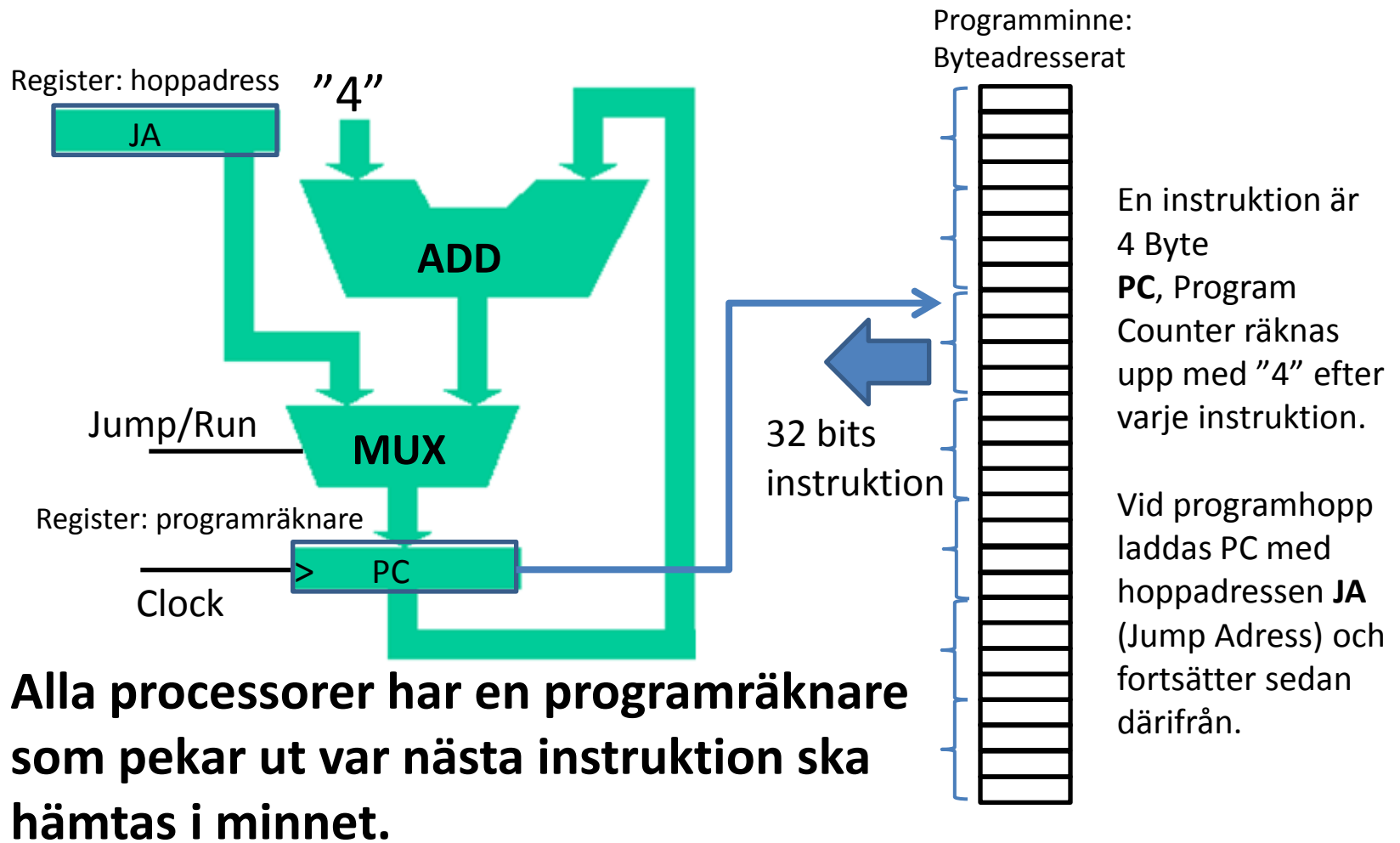


Symbol

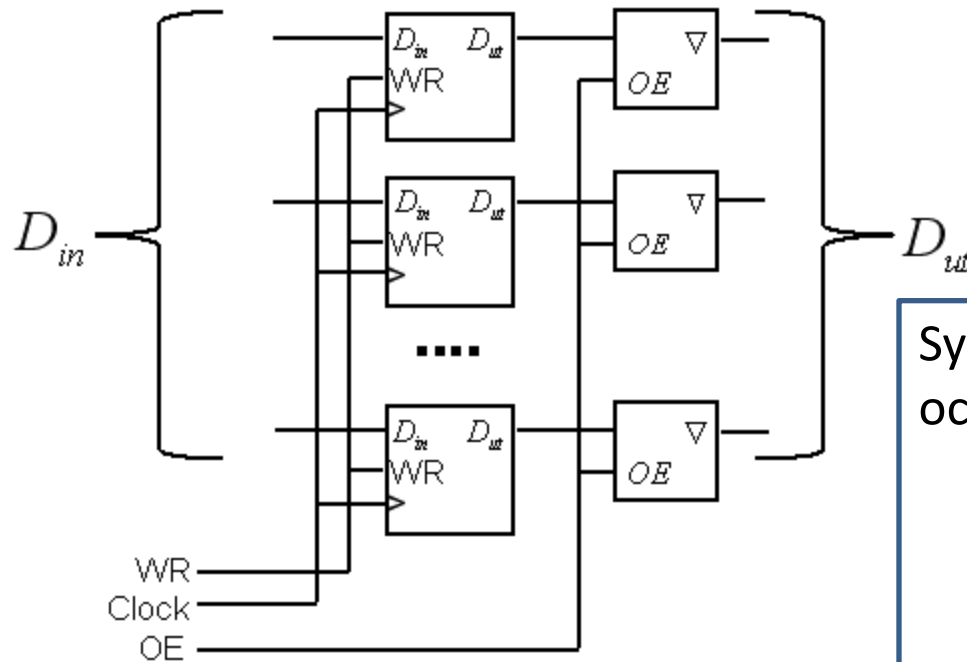


32 bitars register är **32**
logikelement i en FPGA

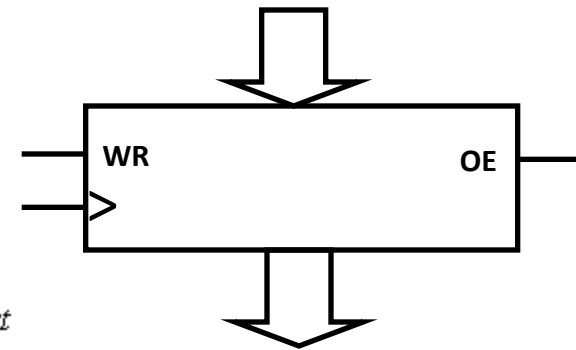
Programräknar-register



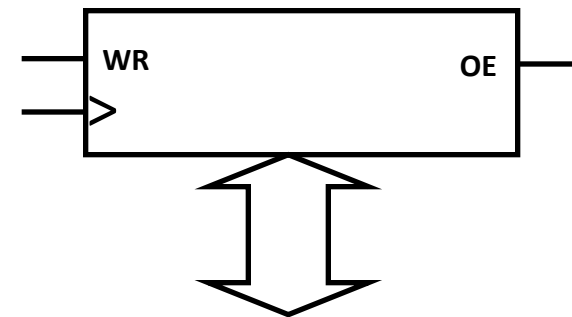
Register med threestateutgång



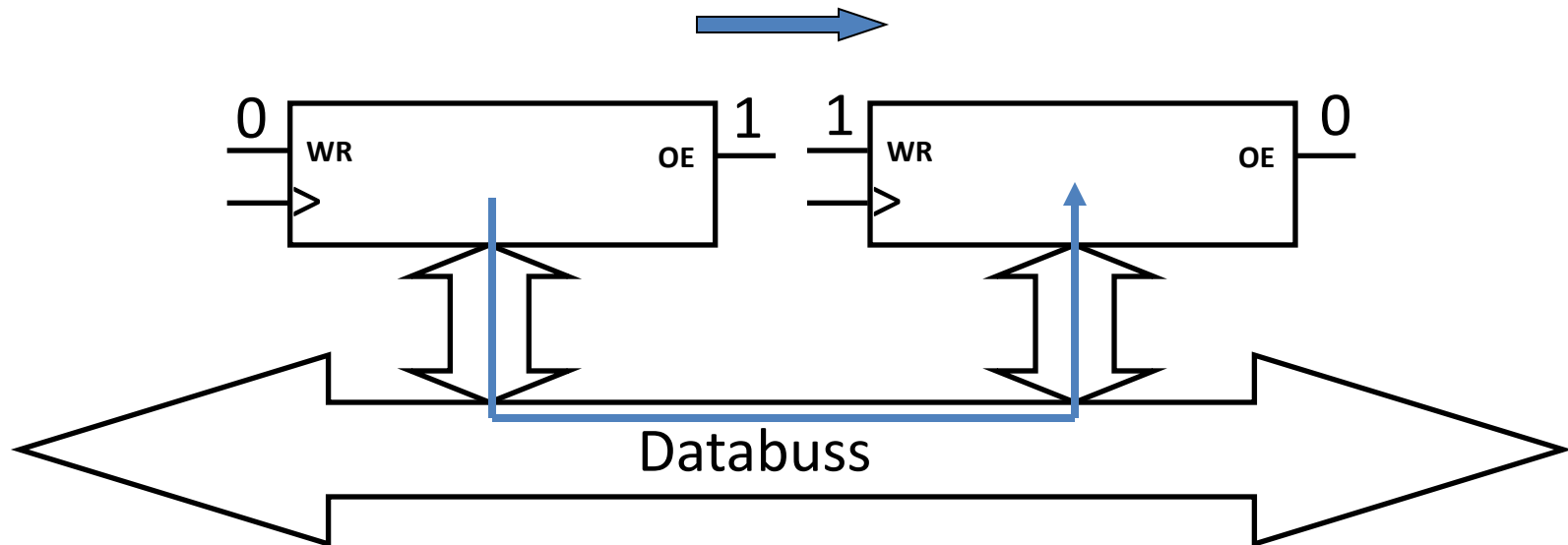
Symbol



Symbol **dubbelriktat** (ingångar och utgångar är nu ihopkopplade)

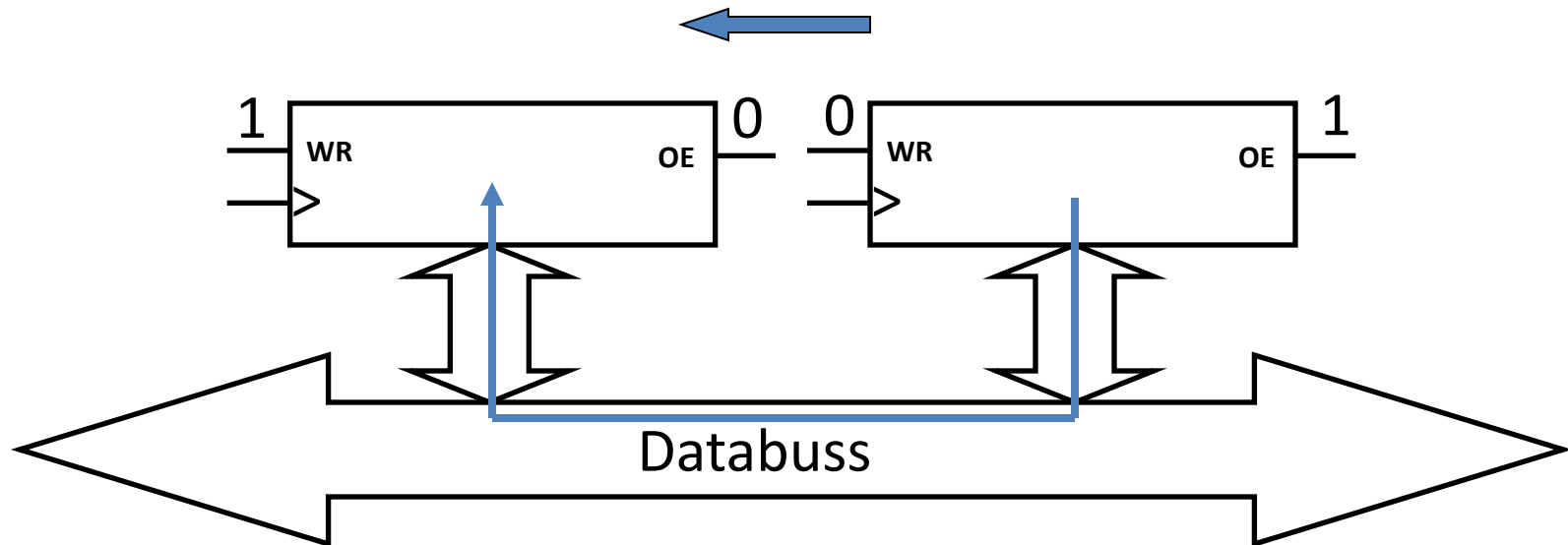


Register och Databuss



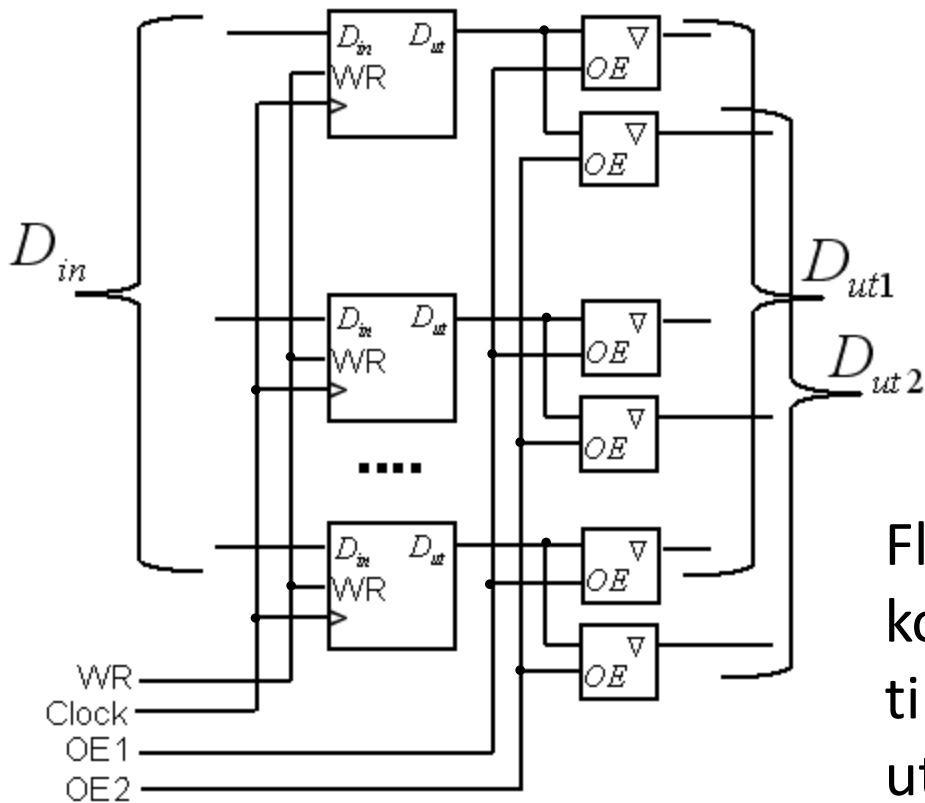
Flera dubbelriktade register med threestateutgångar kan kopplas ihop med varandra för att bilda en gemensam databuss.

Register och Databuss

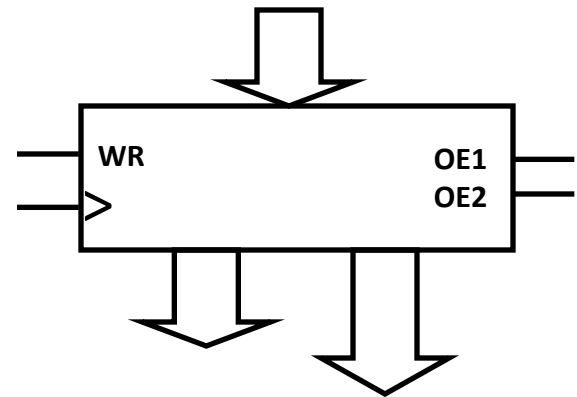


Data kan nu styras att kopieras mellan **alla** register på databussen.

Dubbelport register

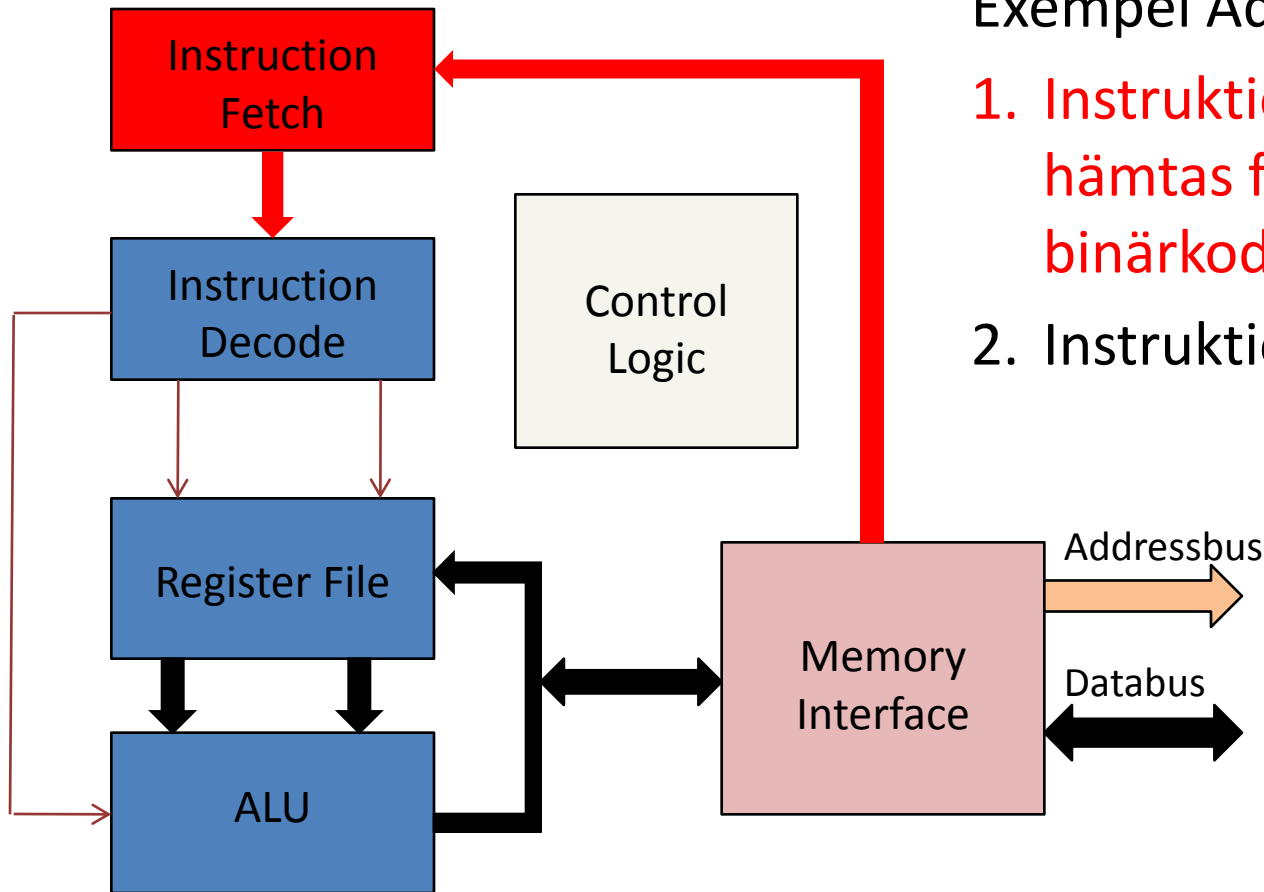


Symbol



Flera **Dubbelportregister** kan kopplas ihop med varandra till **två** gemensamma utgångsbussar

Principbild Mikrodatorarkitektur



Exempel Add instruktion

1. Instruktion Add R1, R2, R3 hämtas från minnet (som binärkod)
2. Instruktionen avkodas

Möjligt instruktionsformat



32 bitars
instruktion

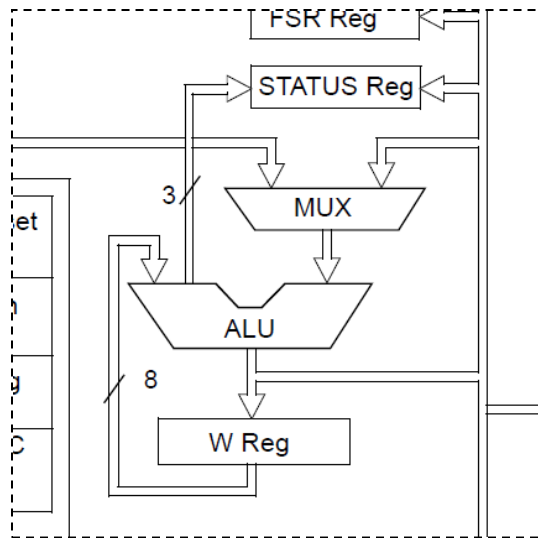
add r1, r2, r3



5 bitar 5 bitar 5 bitar
1 av 32 reg 1 av 32 reg 1 av 32 reg

Operationskod – att vi vill addera

Exempel: ALU i mikrokontroller



Microkontroller finns tex i smartcard

9.1 Instruction Description

ADDWF Add W and f

Syntax: `[label] ADDWF f,d`

Operands: $0 \leq f \leq 31$
 $d \in [0,1]$

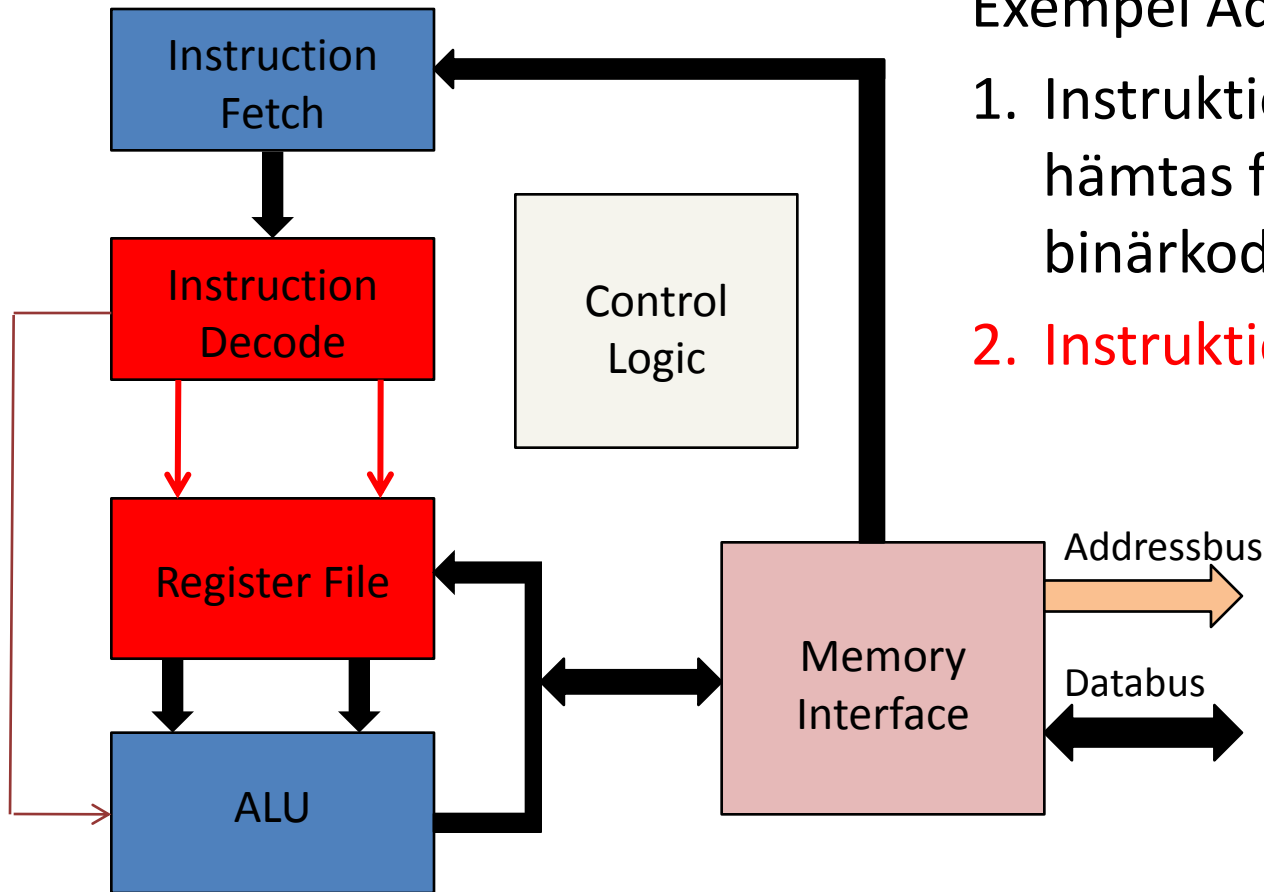
Operation: $(W) + (f) \rightarrow (\text{destination})$

Status Affected: C, DC, Z

Description: Add the contents of the W register and register 'f'. If 'd' is '0', the result is stored in the W register. If 'd' is '1', the result is stored back in register 'f'.

Exempel på instruktion i mikrokontroller

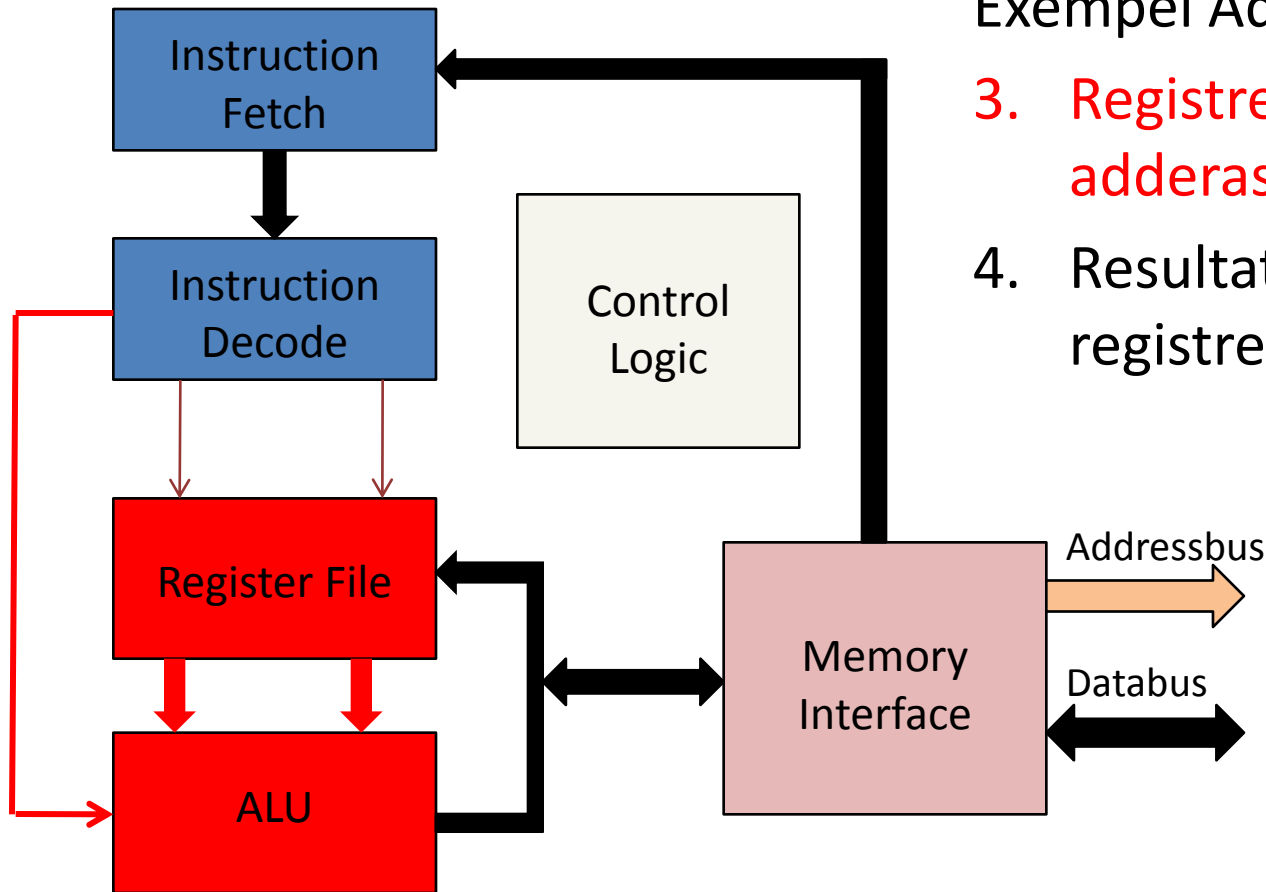
Principbild Mikrodatorarkitektur



Exempel Add instruktion

1. Instruktion Add R1, R2, R3 hämtas från minnet (som binärkod)
2. Instruktionen avkodas

Principbild Mikrodatorarkitektur

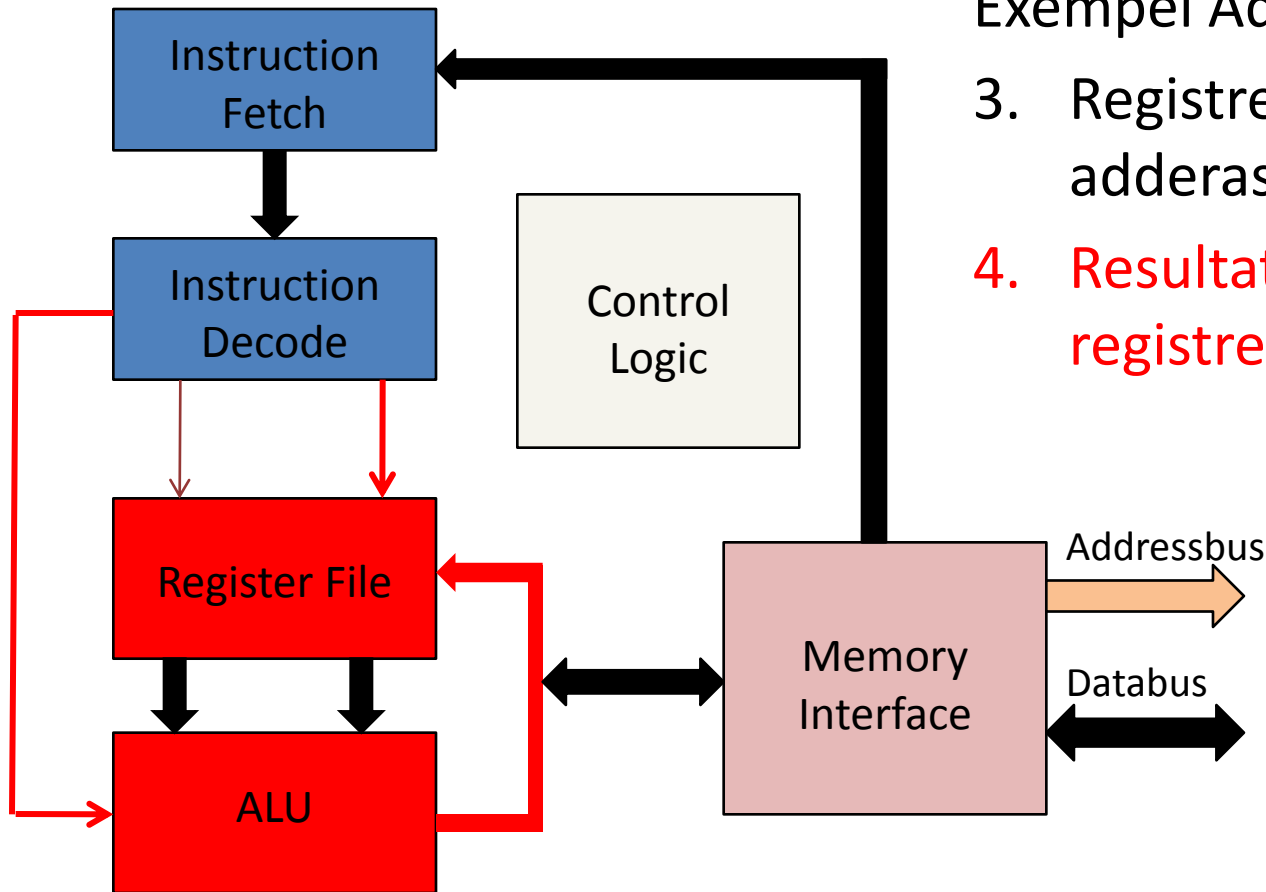


Exempel Add instruktion

3. Registren R2 och R3
adderas i ALU:n

4. Resultatet skrivs till
registret R1

Principbild Mikrodatorarkitektur



Exempel Add instruktion

3. Registren R2 och R3 adderas i ALU:n
4. Resultatet skrivs till registret R1

Register file

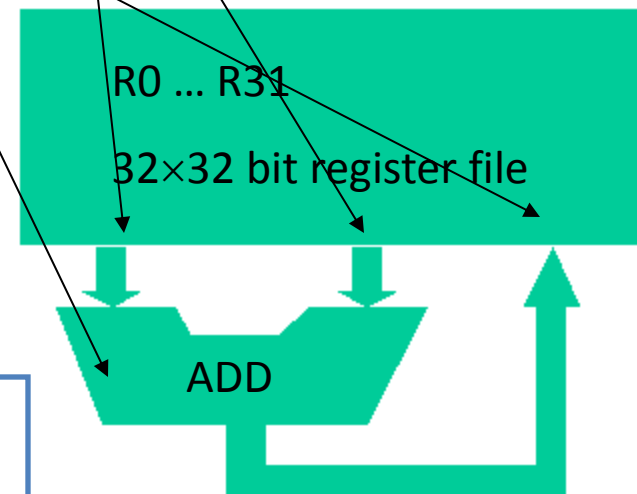
Processorn har en 32×32 bitars register file (med dubbelports-register). Man kan därför samtidigt läsa från två valfria register eller skriva till ett valfritt register per klockpuls.

Datorinstruktionen add, innebär att summan $R2+R3$ läggs i R1

En register file med 32 register är $32^2 = \mathbf{1024}$ logikelement i en FPGA

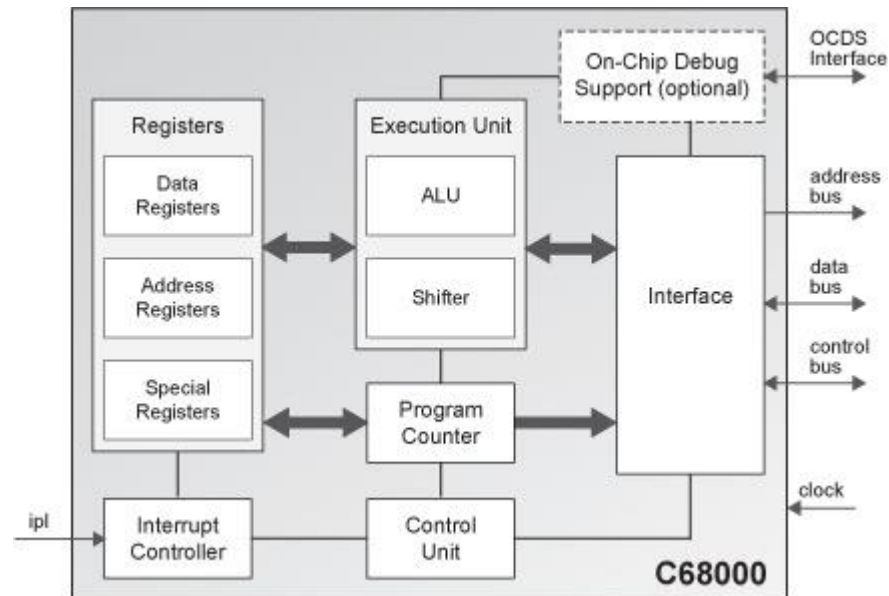
En 32 bitars adderare är **32** logikelement i en FPGA

add R1, R2, R3



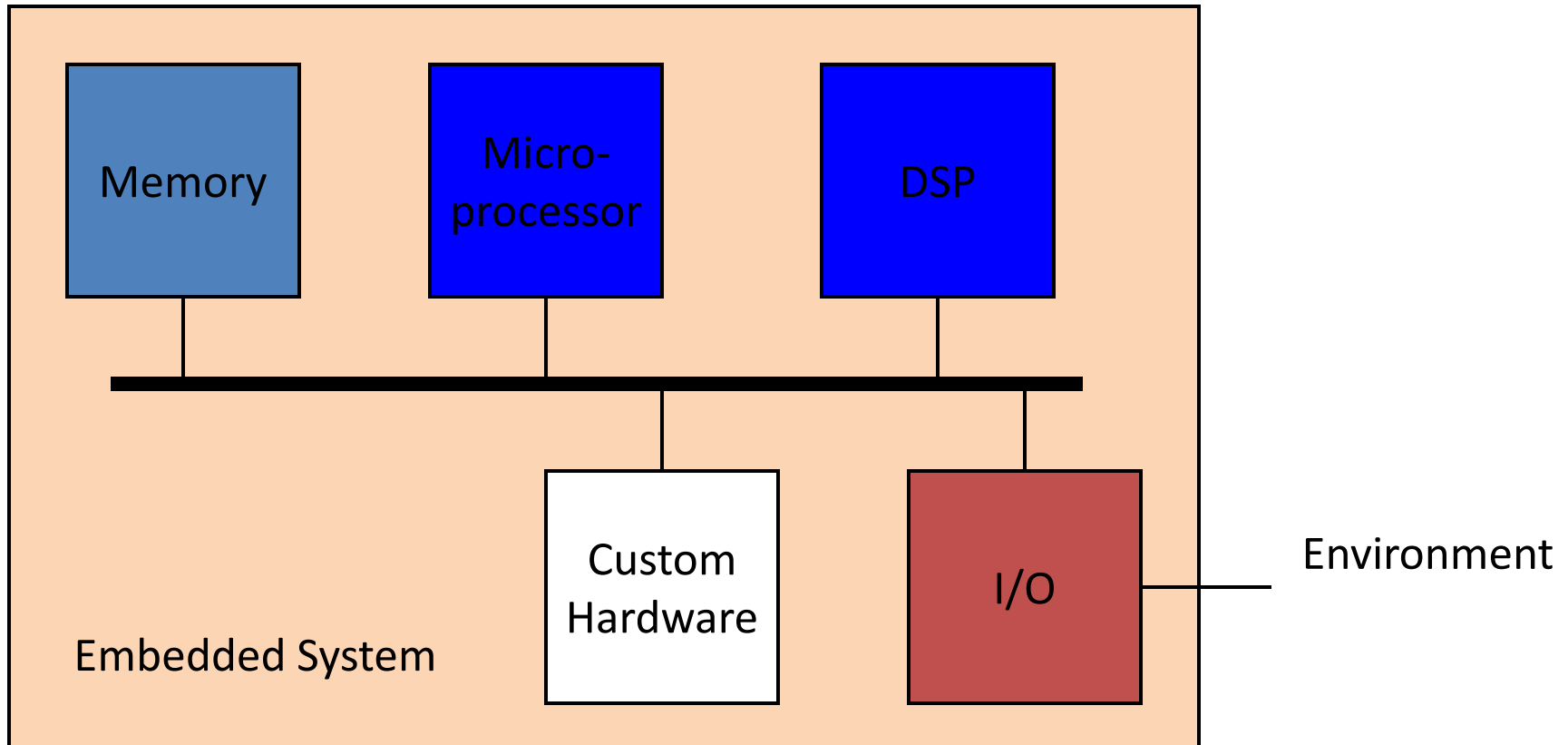
Motorola 68000

Arkitektur

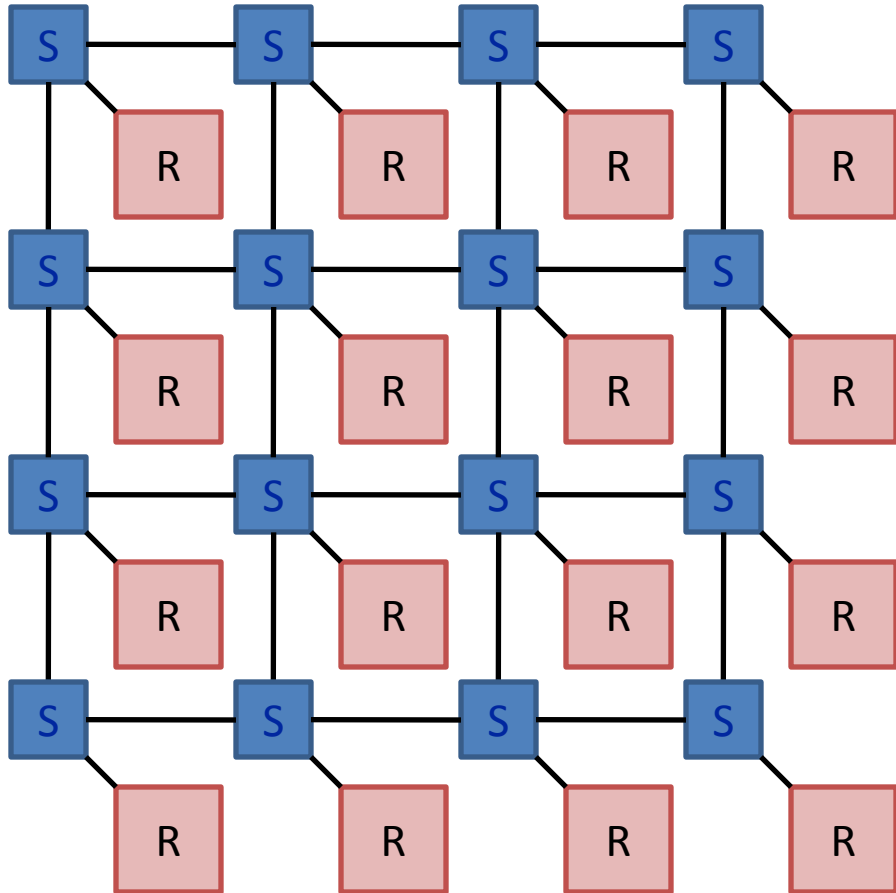


Det finns både kombinatorisk och sekventiell logik i en processor. Kontrolllogiken är en tillståndsmaskin medan ALU:n är mest kombinatorisk.

A small Embedded System Hardware Architecture



Network-On-Chip (NoC)



- A network-on-chip is an architecture, where resources (R) communicate with each other via a network of switches (S)
- A resource can be
 - a processor
 - a memory
 - a small bus-based system
 - custom hardware
 - ...
- This parallel architecture offers large communication bandwidth

Följande punkter ger en rekommendation som ska hjälpa vid inläring inför tentan. MEN det finns inte anspråk att listan är fullständig! Tentan kan ha frågor ur alla områden som har tagits upp under kursen.

- Karnaugh
- SOP/POS
- Implementering av två-nivå-logik
- Logiska grindar
- Multiplexer
- Boolesk algebra
- Talsystem
- Aritmetik

- Vippor och latchar
- Tillståndsmaskiner (Moore/Mealy)
- Tillståndsdigram
- Tillståndsminimering
- Analys av sekvensnät
- Syntes av sekvensnät
- Tidsbeteende (Setup/Hold)

CMOS



- Vad är funktionen I en CMOS-krets?
- Tristate

- Tolka en beskrivning

Asynkrona sekvensnät



- Analys
- Syntes
- Hasard

Halvledarminnen



- RAM-minnen
- ROM-minnen
- Funktionalitet, Principbild

Tentamen struktur



- **Del A1** (10 poäng)
 - Fokus på **analys**
 - Korta uppgifter (1/2 eller 0 poäng) **Observera!**

- **Del A2** (10 poäng)
 - Fokus på **metodik**

- **Del B** (10 poäng)
 - Fokus på **design**
 - Problem

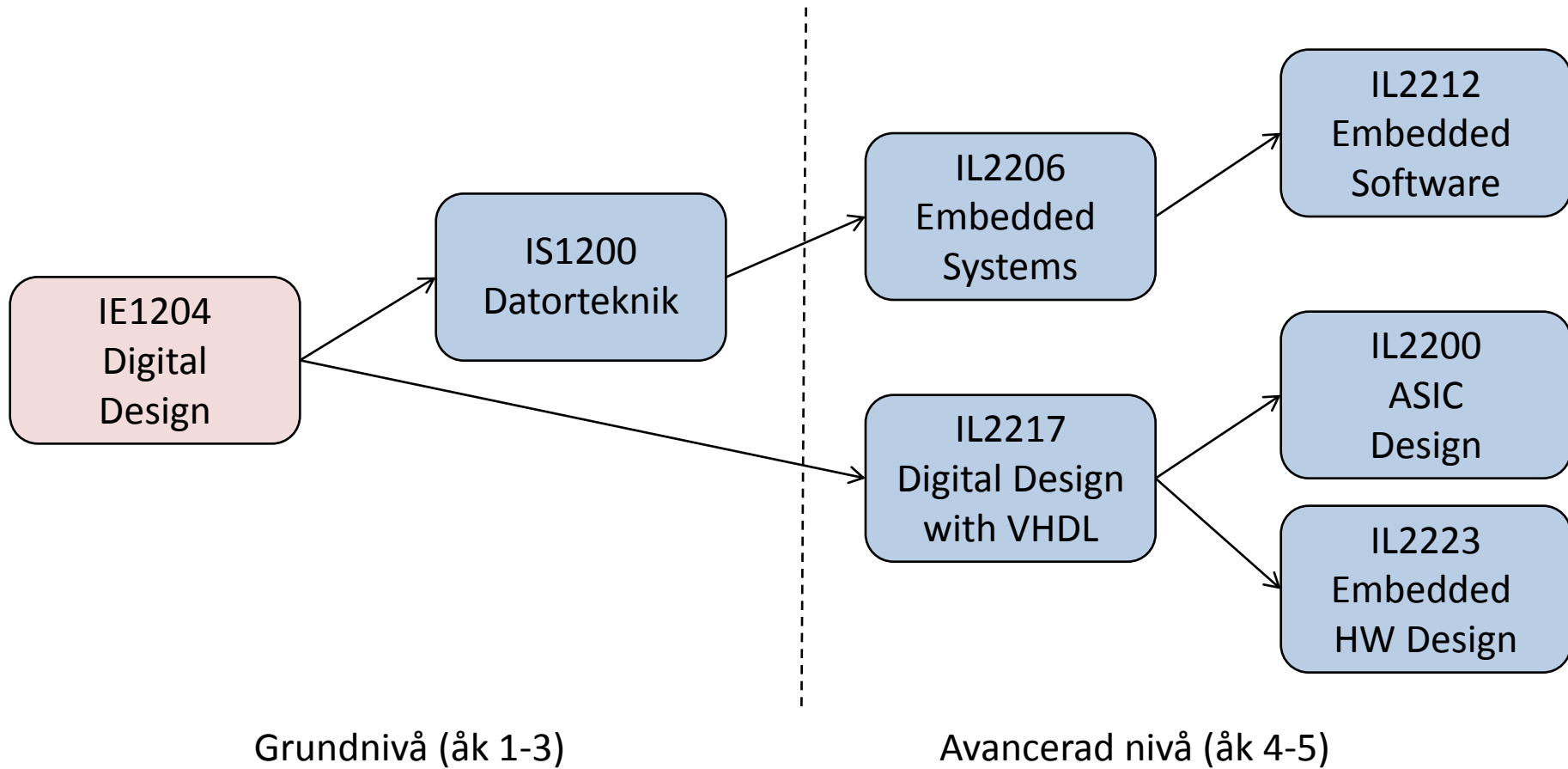
$$A1 \geq 6 \qquad A1 + A2 \geq 11$$



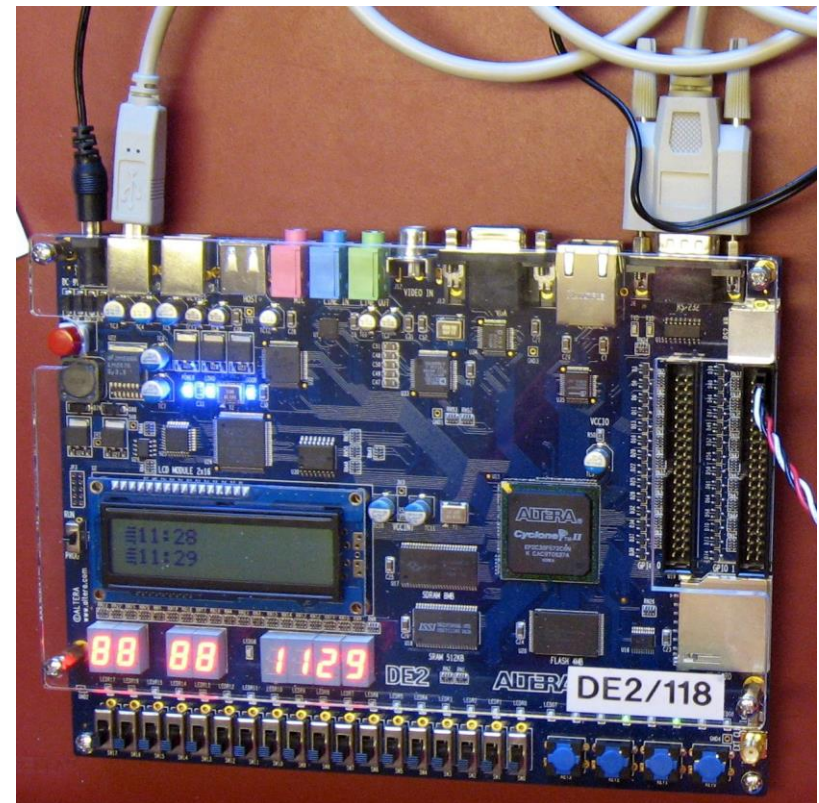
0 –	11 –	16 –
F	E	D
19 –	22 –	25
C	B	A

30p





- Hur fungerar en dator inuti?
- *Processor?*
- *Cacheminne?*
- *Threads?*
- *Interrupts?*
- Efter Datorteknik har **du** förklaringarna

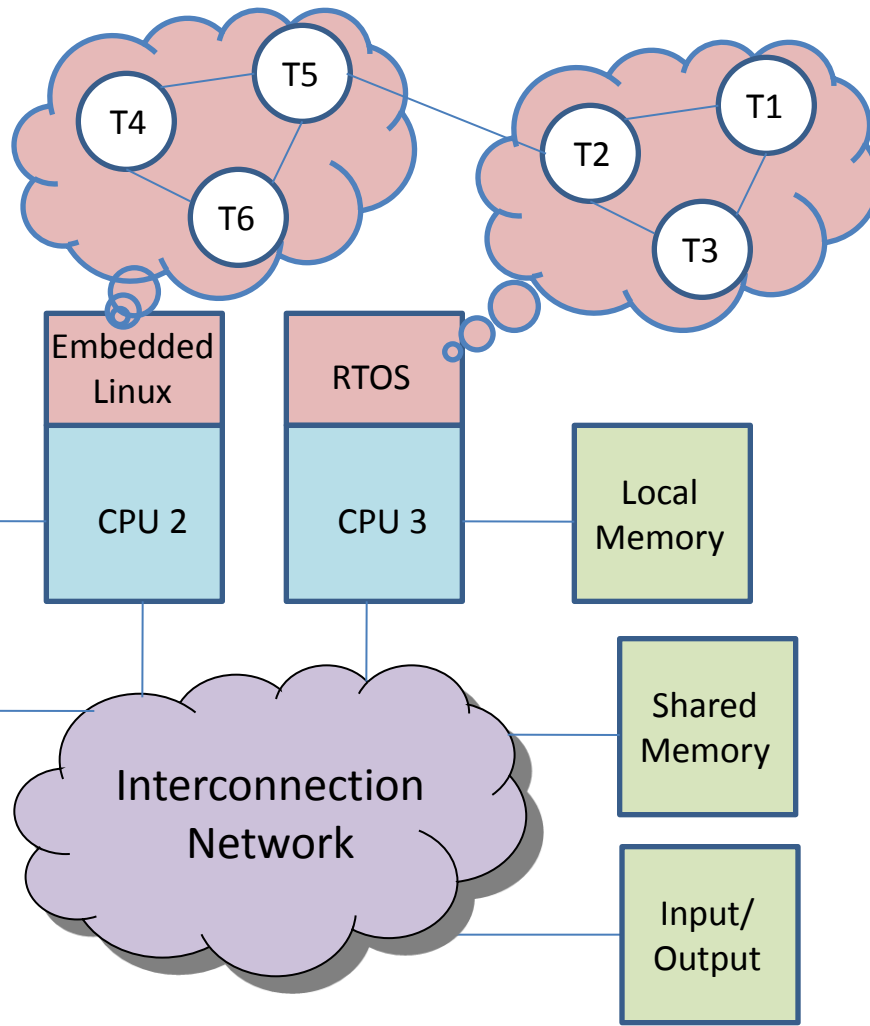


Embedded Systems are everywhere



IL2206 Embedded Systems (Period 1)

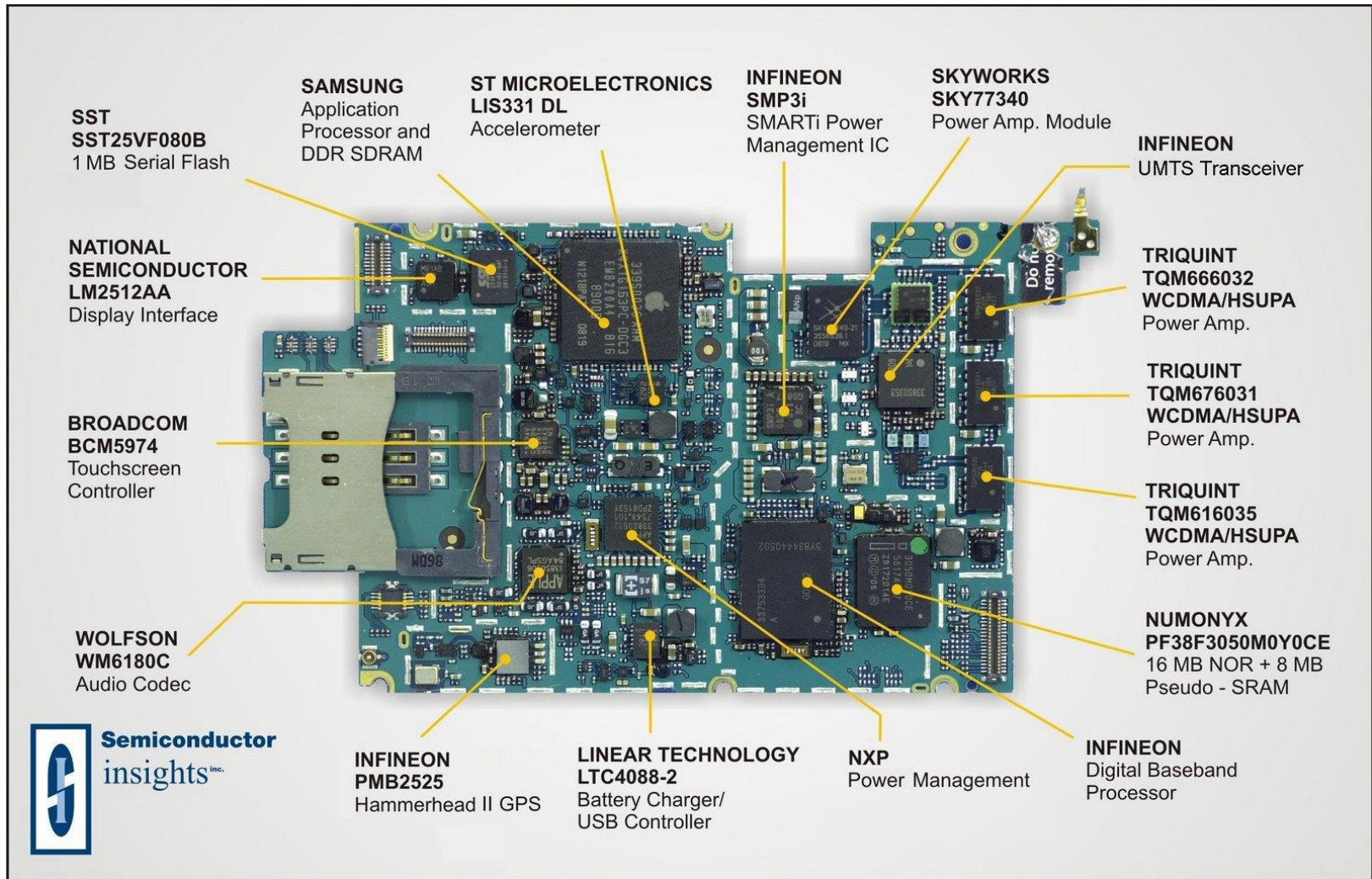
IL 2212 Embedded Software (Period 3)



- How to achieve predictable performance?
- How to model embedded software systems?
- How to program parallel embedded software?
- How to communicate between tasks on different processors?
- How to validate parallel embedded software?

Contact:
Ingo Sander
ingo@kth.se

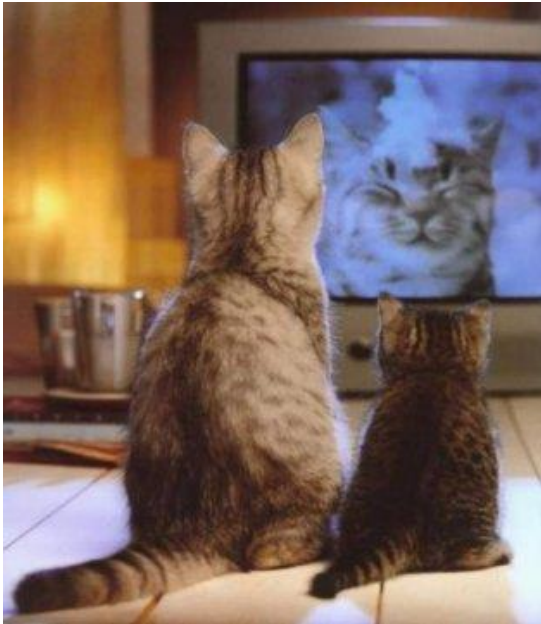
Radio electronics



RF components in iPhone

Media and Communications electronics

Vilket är bästa sättet att skicka ett meddelande från punkt A till B?



Broadcast



Cellphone



Alarm

Det beror på applikationen!

Internet of Things

Storage and processing is currently moving into centralized servers (Google, Facebook etc.)



The "Cloud"

Internet of Things

Storage and processing is currently moving into centralized servers (Google, Facebook etc.)



The "Cloud"

Internet of Things

Today:
Stationary and
handheld devices
connected to
Internet and cloud



Connected devices

Internet of Things

Tomorrow:
Billions of connected devices

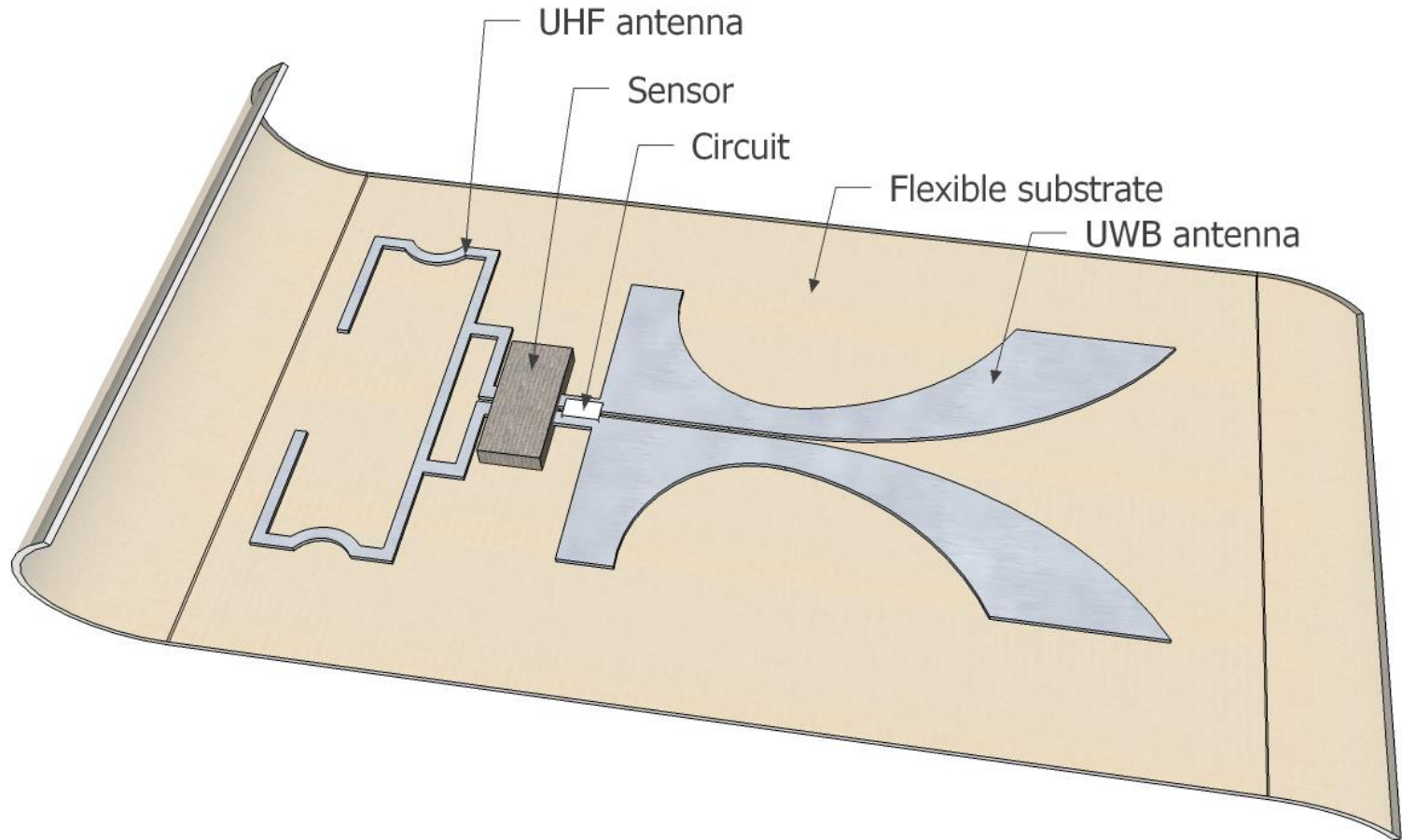
Ericsson vision:
50 billion connected
devices in 2020

NXP
(Philips hardware division):
IP controlled light bulbs



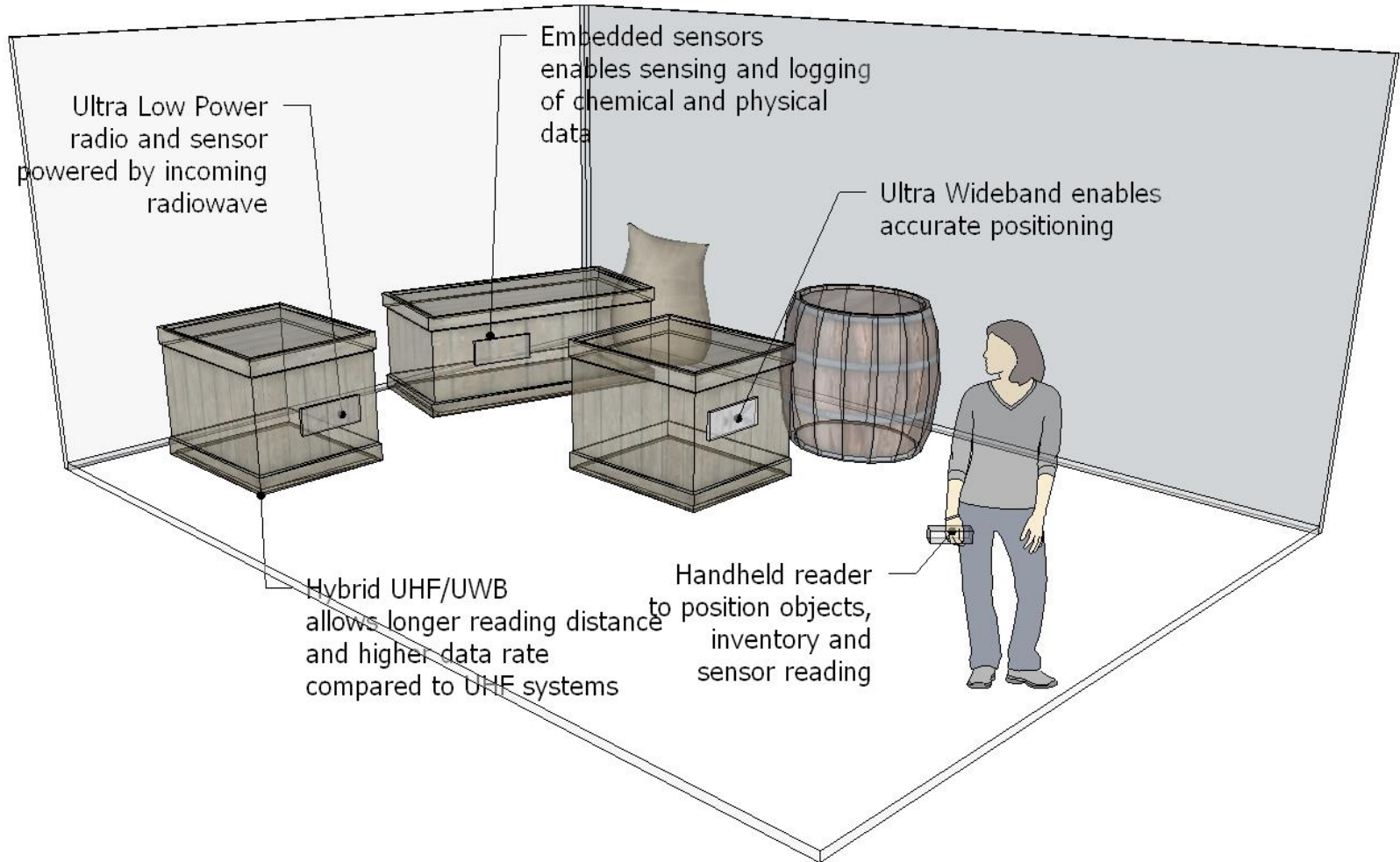
”Internet of Things”

System integration



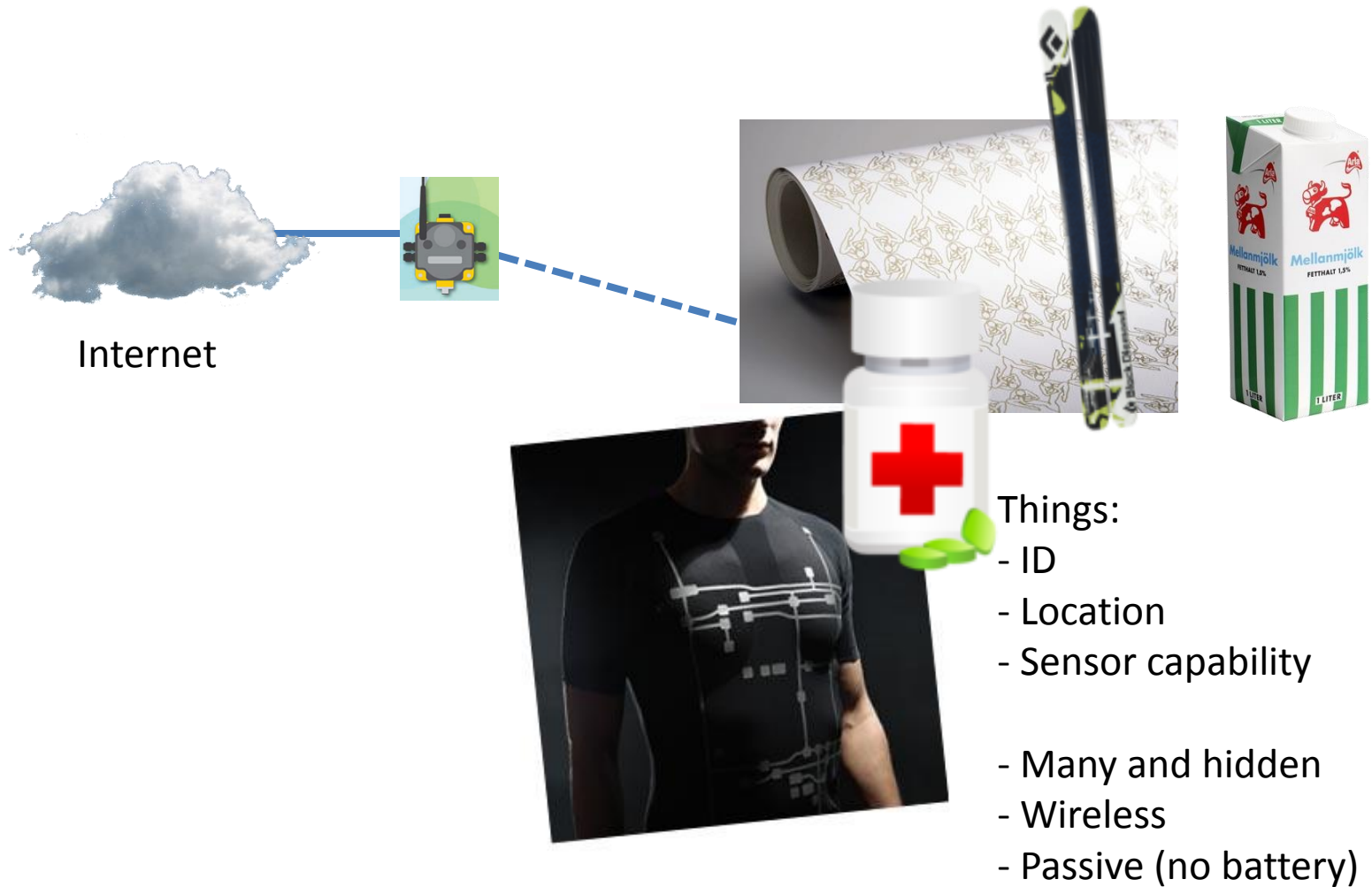
Integrate passive radio with sensor and display driver
Use UHF/UWB to enable two way communication and positioning

Hybrid UHF/UWB system

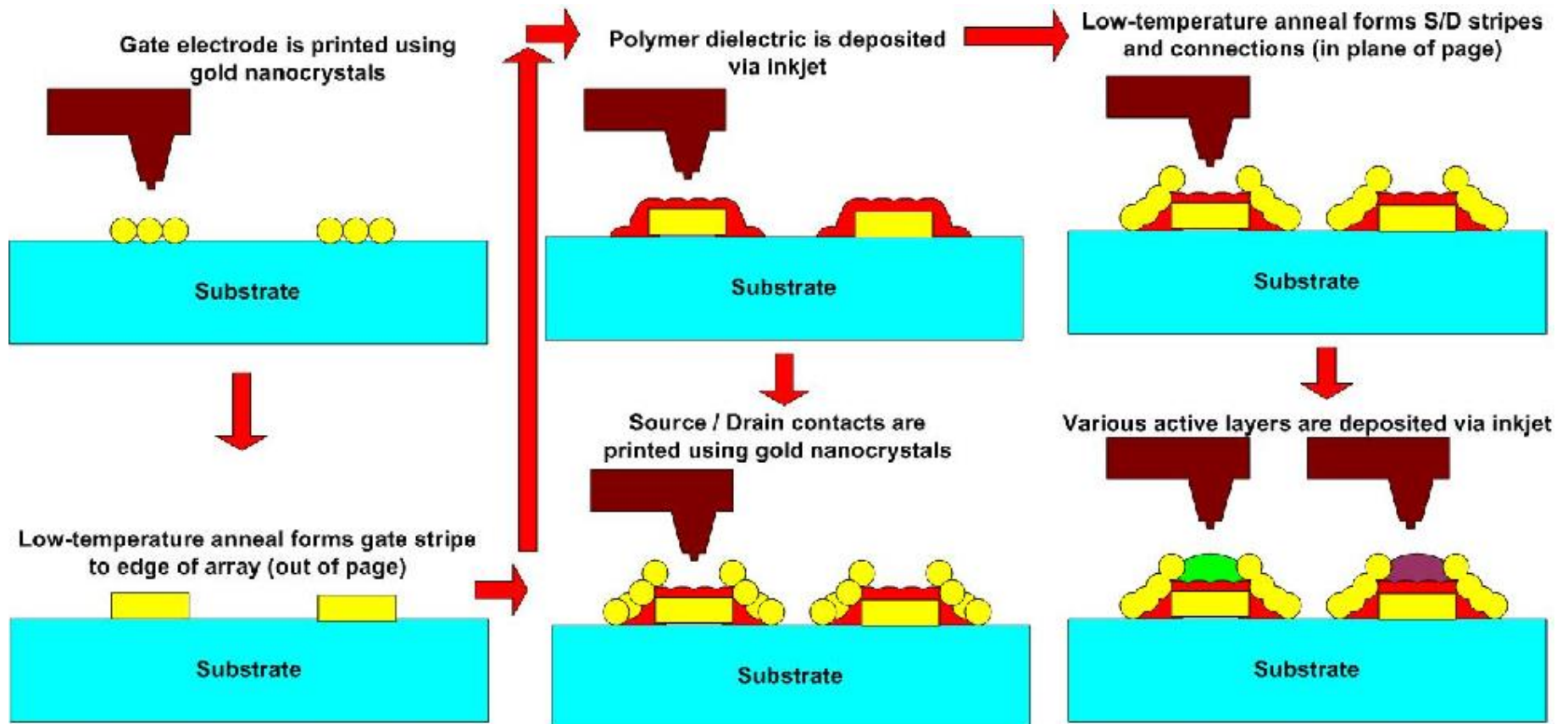


Tags can be used in logistics to track and monitor condition of goods and objects

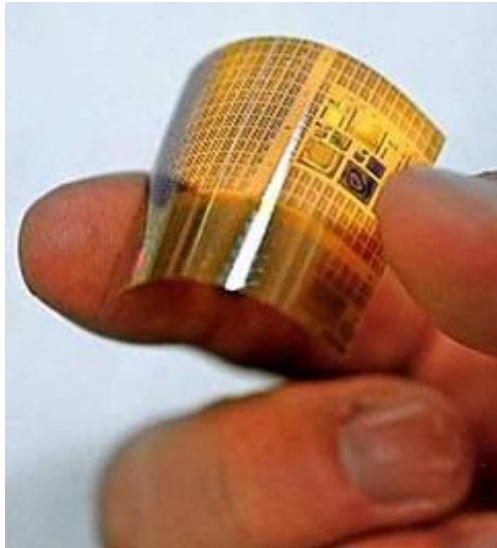
Internet of things



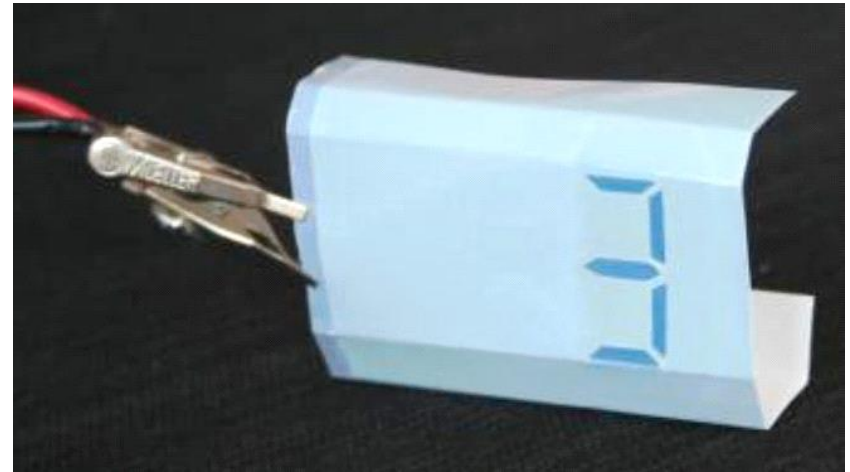
Printed transistors



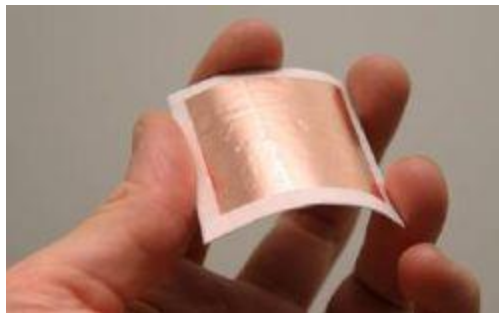
Printed components



Printed memory
Thin film electronics AB



Printed display, ACREO



Printed battery



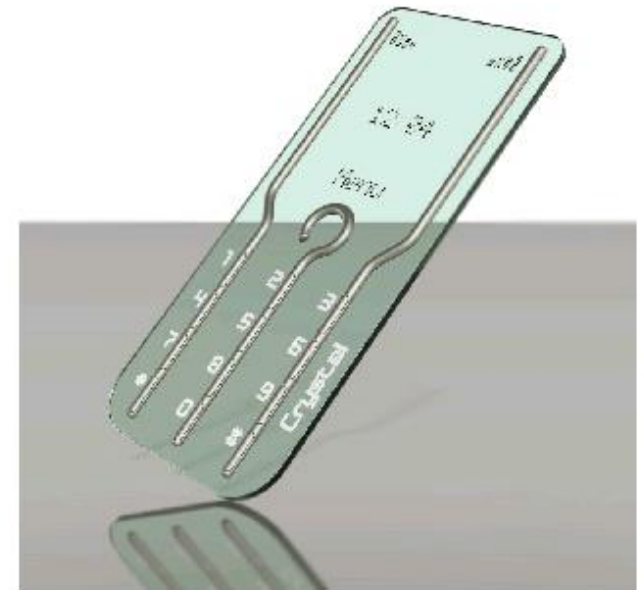
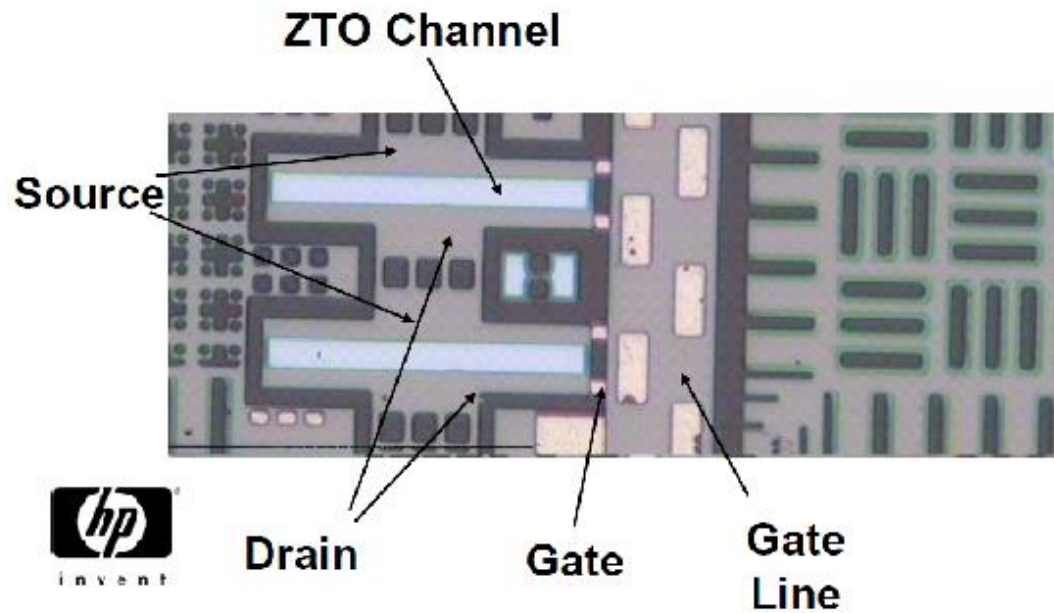
Printed photovoltaics

Fully printed RFID tags



ZTO transistors

Full SAIL ZTO Transistors on Polyimide



Artistic vision

- Det är viktigt att vi få feedback!
- Ni kommer snart att få en e-mail med instruktionerna för kursutvärderingen som kommer att göras i Daisy-systemet
- Hjälp oss att förbättra kursen med konstruktiv kritik (gärna kommentarer)

- Vi kommer även ha en kursnämnd där vi kommer att diskutera förbättringar på kursen med årskursrepresentanterna

Tack för uppmärksamheten!

Lycka till med tentan!