

# IE1205 Digital Design:

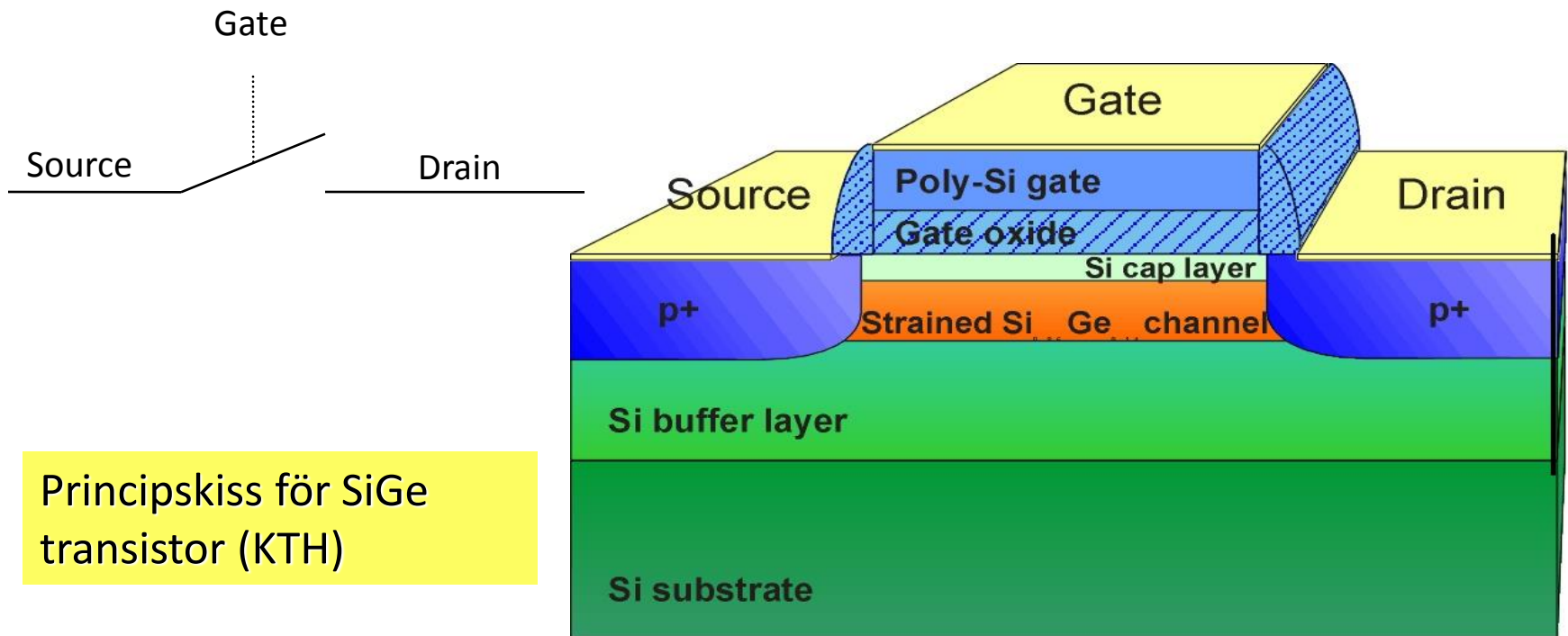
## F3 : CMOS-kretsen, Implementeringsteknologier

Fredrik Jonsson

KTH/ICT/ES

fjon@kth.se

# Transistorer och omkopplare utan rörliga delar



Principskiss för SiGe transistor (KTH)

# Evolution since the invention

Jan. 28, 1930.

METHOD AND APPARATUS

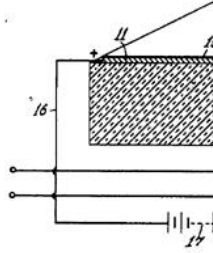
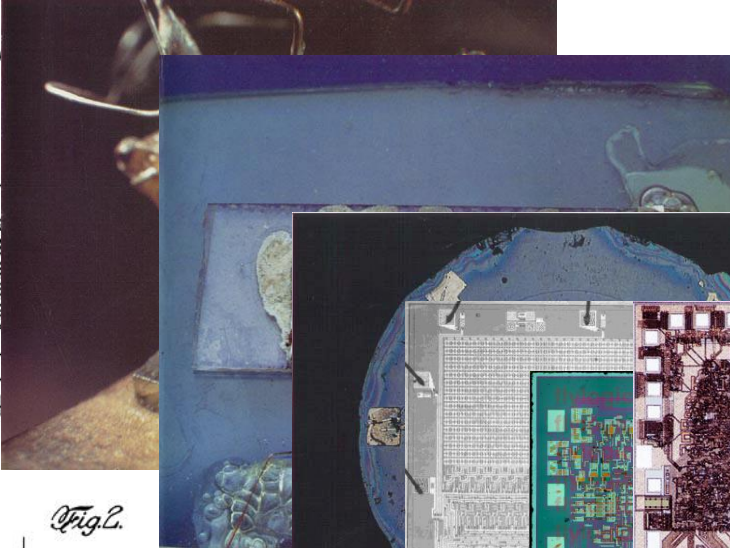


Fig. 1.

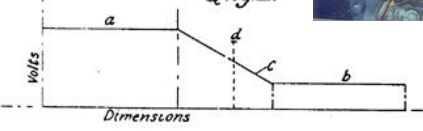
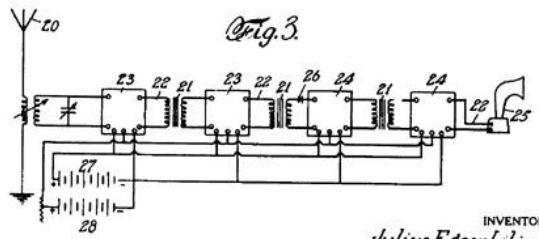
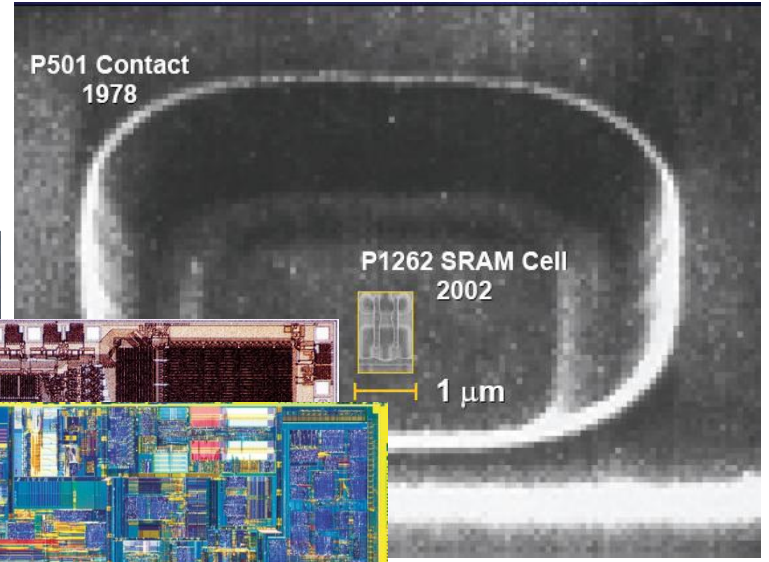


Fig. 3.

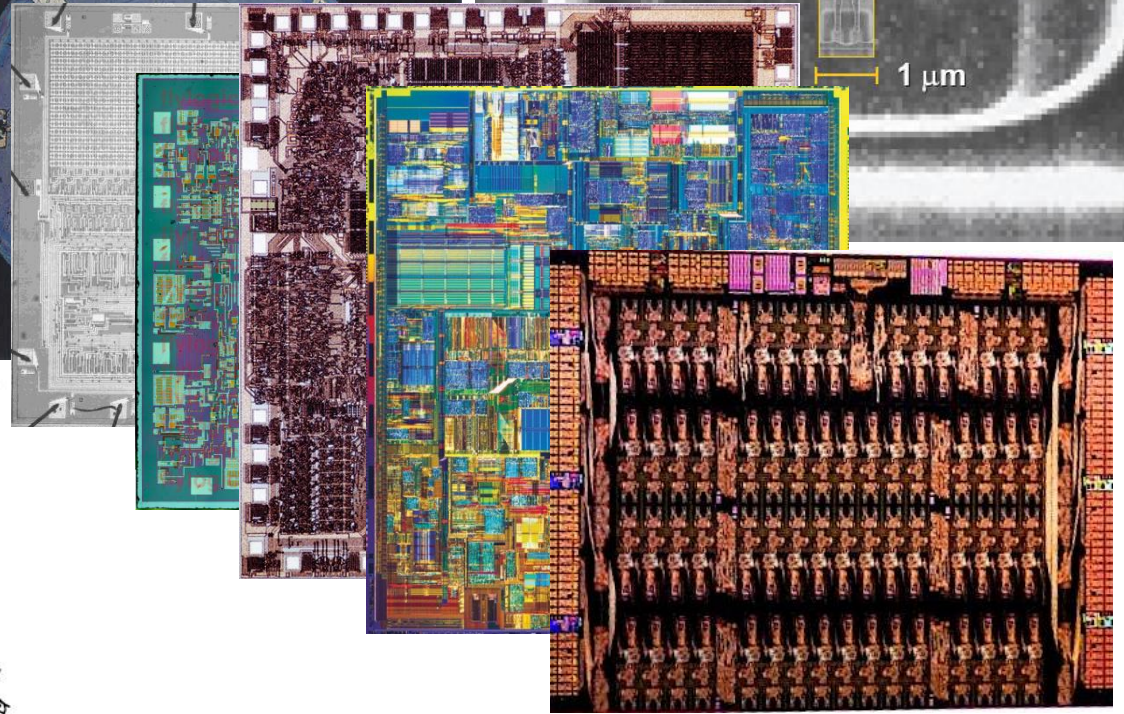


INVENTOR  
Julius Edgar Lilienfeld  
BY *Dr. K. Schmidt*  
ATTORNEY

P501 Contact  
1978



P1262 SRAM Cell  
2002



# Varför CMOS?

- **CMOS-Transistorer är (relativt sett) enkla att tillverka**
- **CMOS-Transistorer är gjorda av vanlig sand => billigt råmaterial (men fabrikena som tillverkar kretsar är jättedyra)**
- **En transistor är lätt att få att fungera som en switch (omkopplare)**



# Teknologinod

Exempel reklamtext:

*Du som söker efter maximal pris vs prestanda kan sluta leta, med dess två inbyggda processorkärnor och nya **32 nm-tillverkningsteknik** får du kraft för det mest du kan stöta på i kontors och hemmasurf miljö.*



rdvara Mjukvara Hemelektronik Hushåll Lek & Gadgets Kontakta oss Service och hj

Hem » Hårdvara » Datorkomponenter » Processorer » Socket 1155

## Intel Pentium Dual Core G850 2.9GHz / 3MB / Socket 1155 (Bo

**749 kr**  
Köp

Frakt: Klass 2  
Dela upp betalningen från: 50 kr/mån  
Betala med mobilen

**LAGERSTATUS**  
Postorder/Fruäng.  10 st  
Solna  2 st  
Stockholm  1 st  
Göteborg  Beställ  
Malmö  1 st  
Uppsala  1 st  
Linköping  1 st  
Hos leverantören  5 st

**BETYG** 0 rät  
Du måste vara inloggad för att k

DELA MED DIG

Över... Fler bilder | Tillbehör / se även

Intel Pentium Dual Core processorer är designade för att leverera revolutionerande "dual-core" prestanda och banbrytande låg energiförbrukning. Den stödjer dessutom 64-bits applikationer för framtidens multimediafokuserade högdefinitions värld. Du som söker efter maximal pris vs prestanda kan sluta leta, med dess två inbyggda processorkärnor och nya 32 nm-tillverkningsteknik får du kraft för det mest du kan stöta på i kontors och hemmasurf miljö.

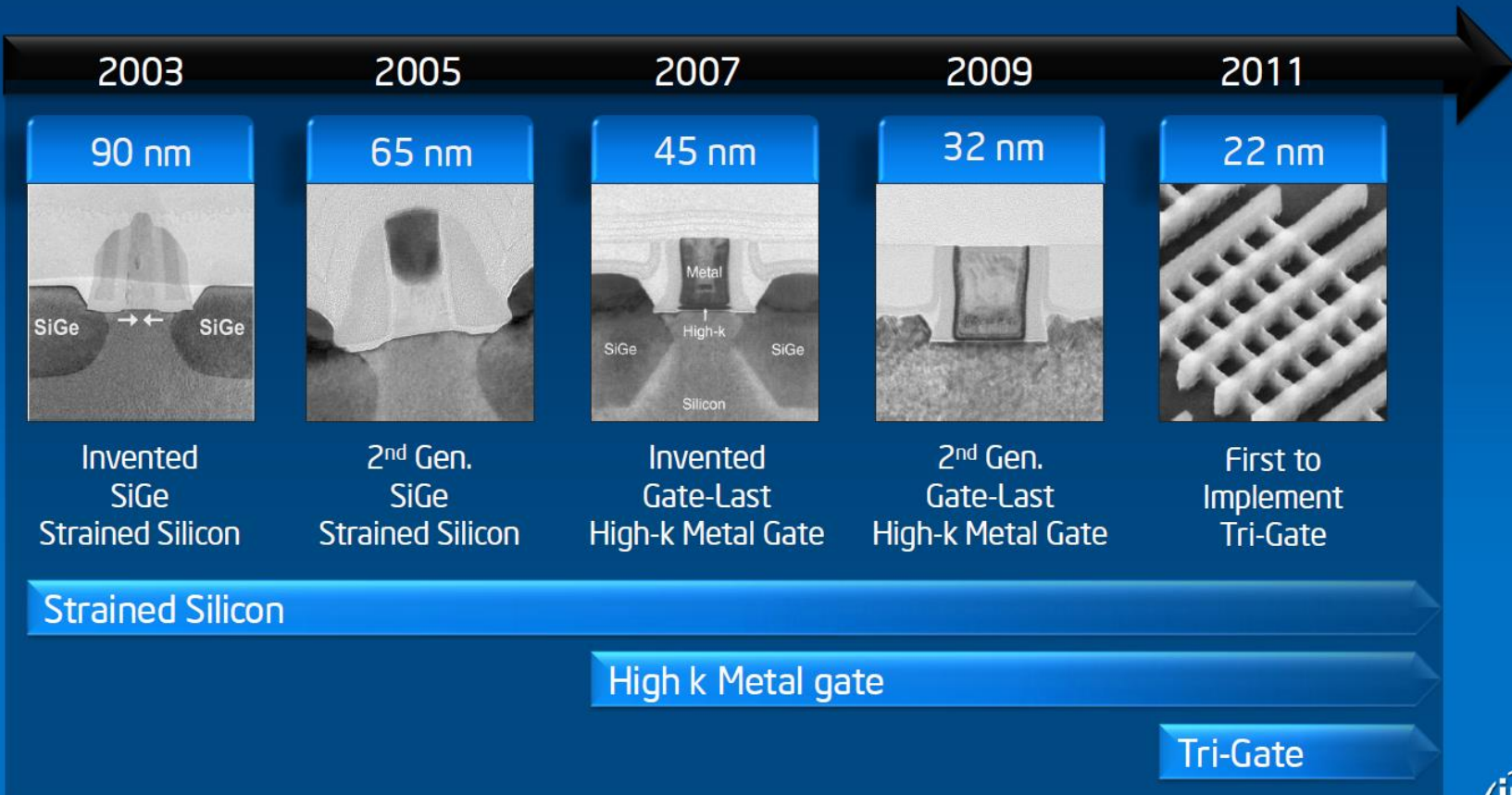
**Teknisk specifikation:**  
• Processormodell: Intel Pentium Dual Core G850  
• Processorkärnor: 2

**Tips från kunde**  
Intel Co 3,3GHz / 1849 |  
Intel Co 3,4GHz /



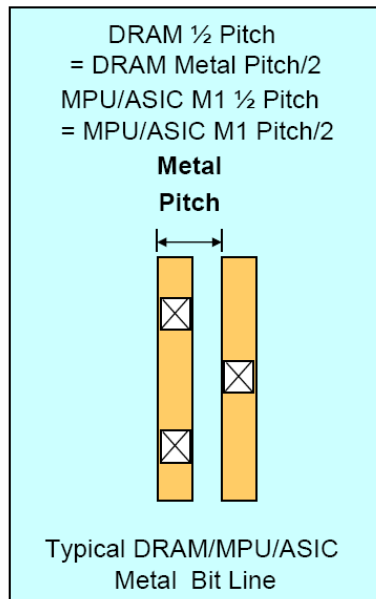
# Transistorutveckling

## Transistor Innovations Enable Technology Cadence

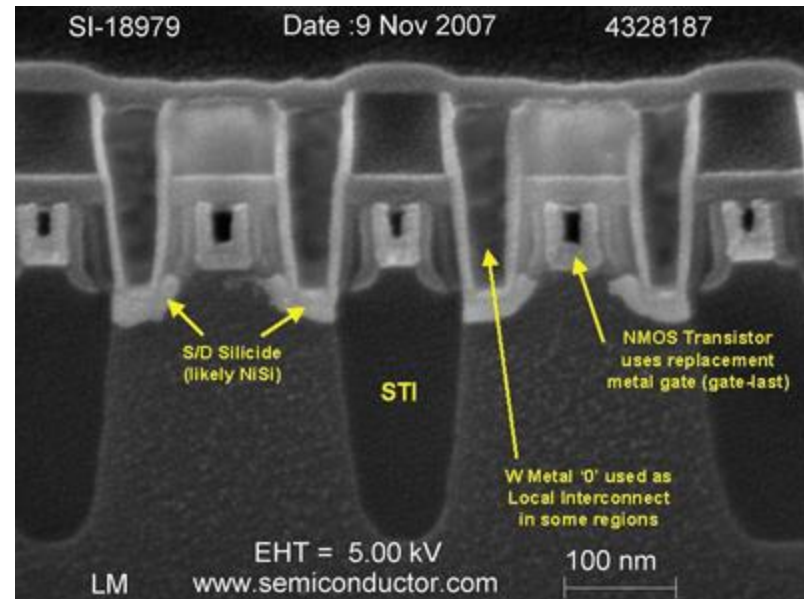


# Vad menas med teknologinod?

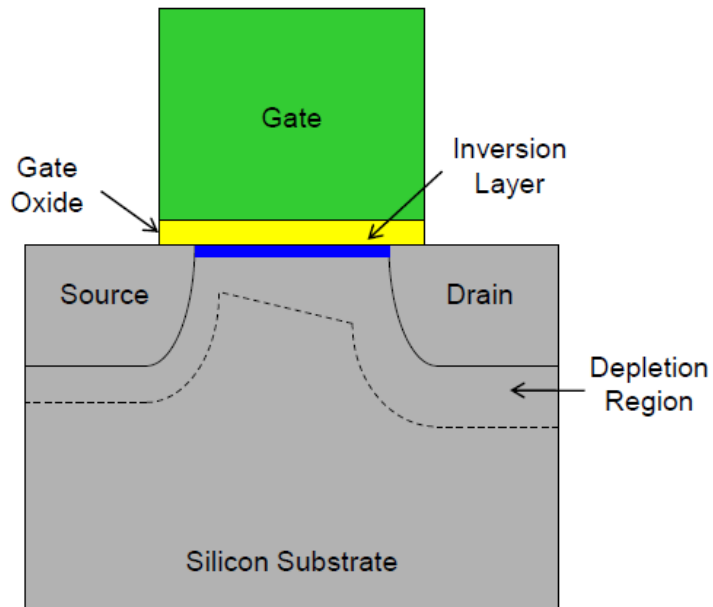
- Ursprungligen definition av transistorns gatelängd.
- Nu mer relaterad till avståndet mellan ledare i DRAM cell (minne)



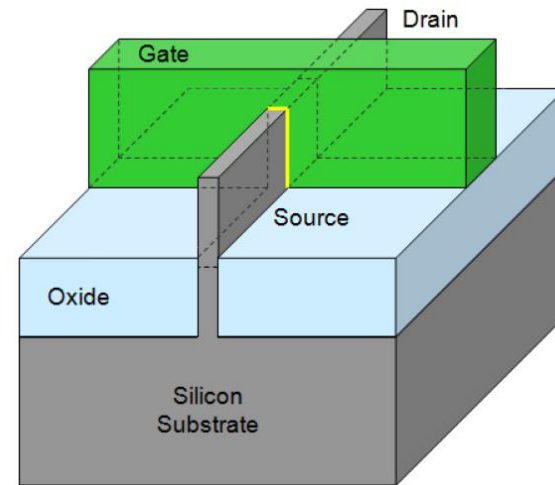
Source: 2005 ITRS - Exec. Summary Fig 2



Intel 45 nm node nMOS



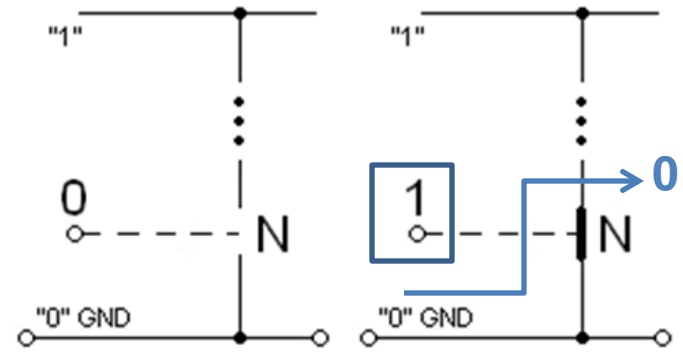
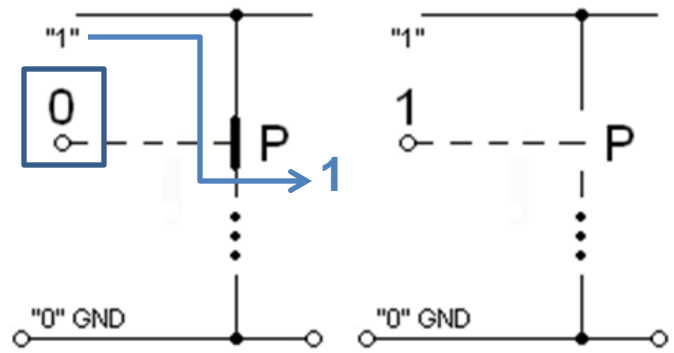
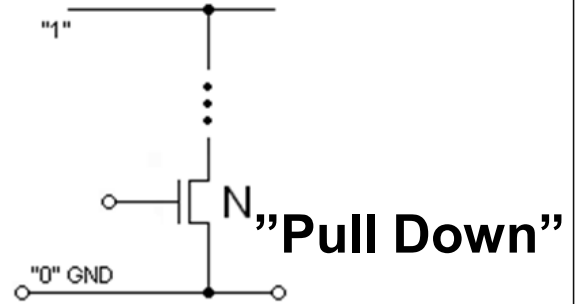
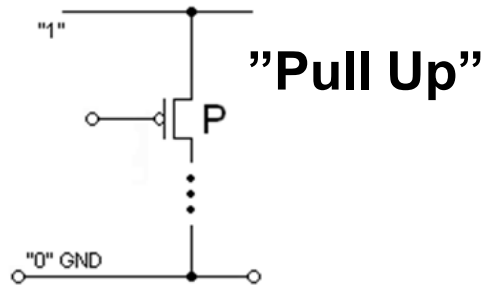
Traditional MOSFET



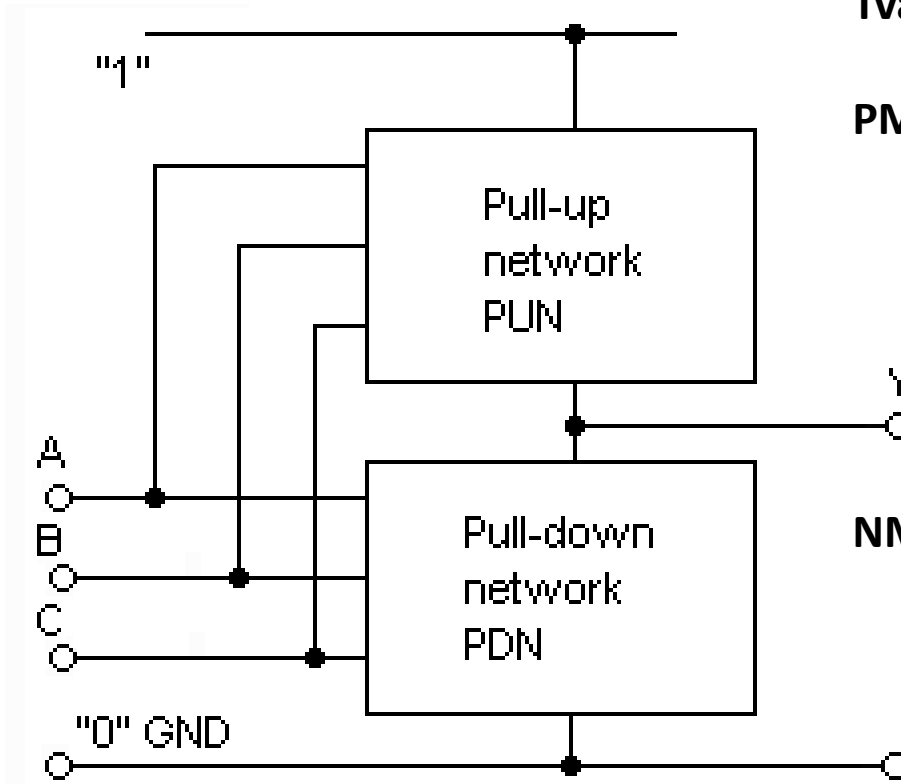
Tri-gate fin-fet



# P och N MOS-transistorer



# Strukturen av en CMOS-krets

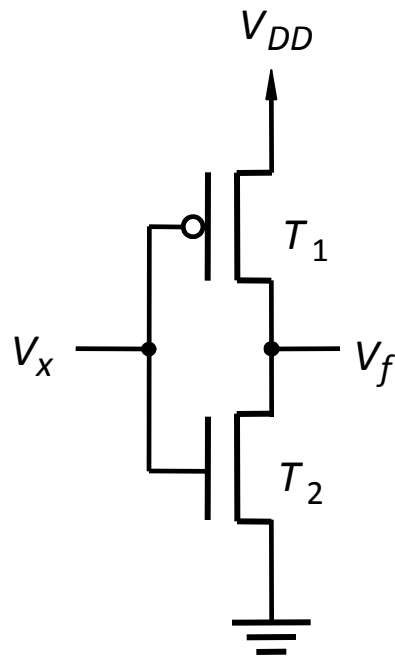


**Två olika nät:**

**PMOS gör kretsens utgång "1"**

**NMOS gör kretsens utgång "0"**

# Inverteraren



(a) Circuit

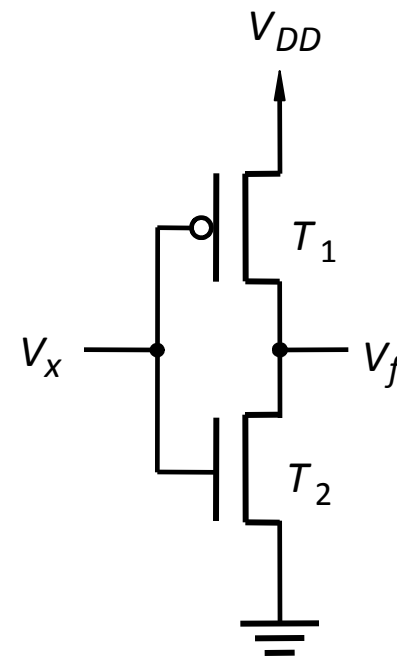
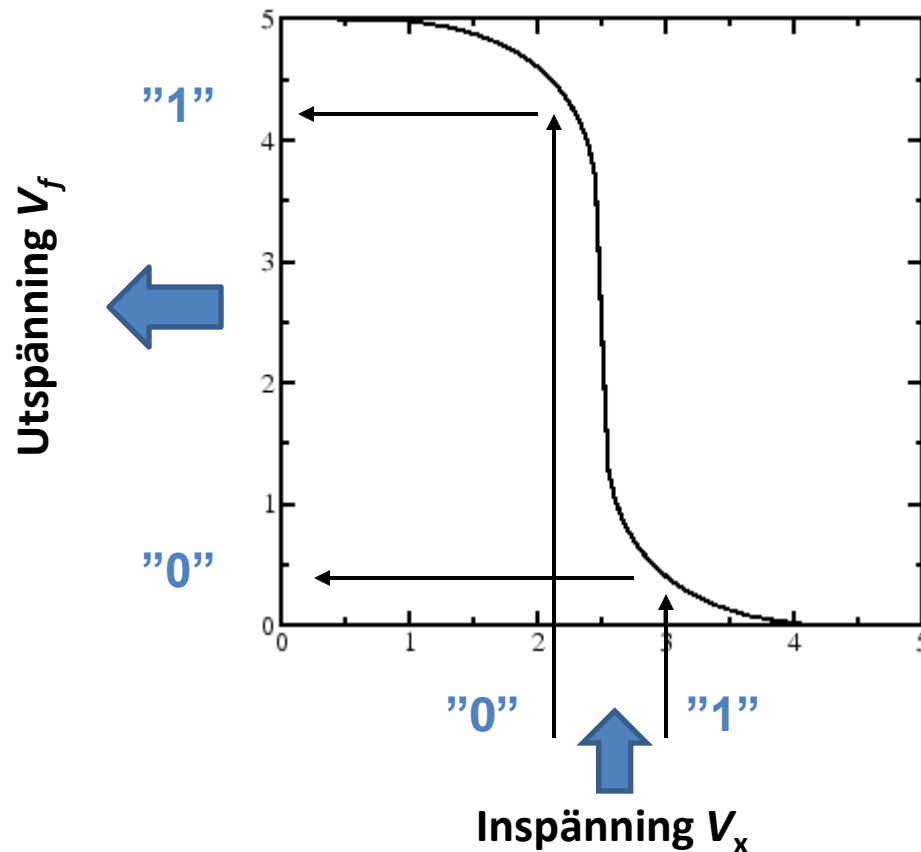
En CMOS-krets består av både PMOS och NMOS-kretsar. CMOS står för (Complementary MOS).

$x$	$T_1$	$T_2$	$f$
0	on	off	1
1	off	on	0

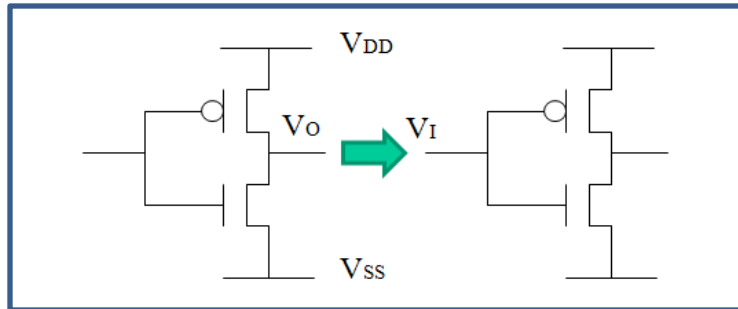
(b) Truth table and transistor states

Area:  $A_{\text{inverter}} = 2$  Transistors

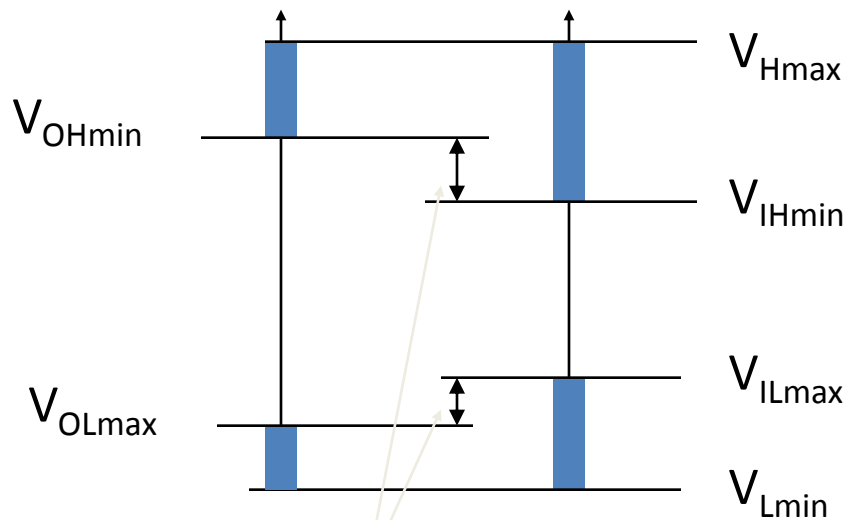
# CMOS-inverterarens spänningsnivåer



# Typiska signalnivåer för CMOS



***Utgångsspänningar  $V_O$  och ingångsspänningar  $V_I$  passar varandra som "hand i handske", och med marginal!***

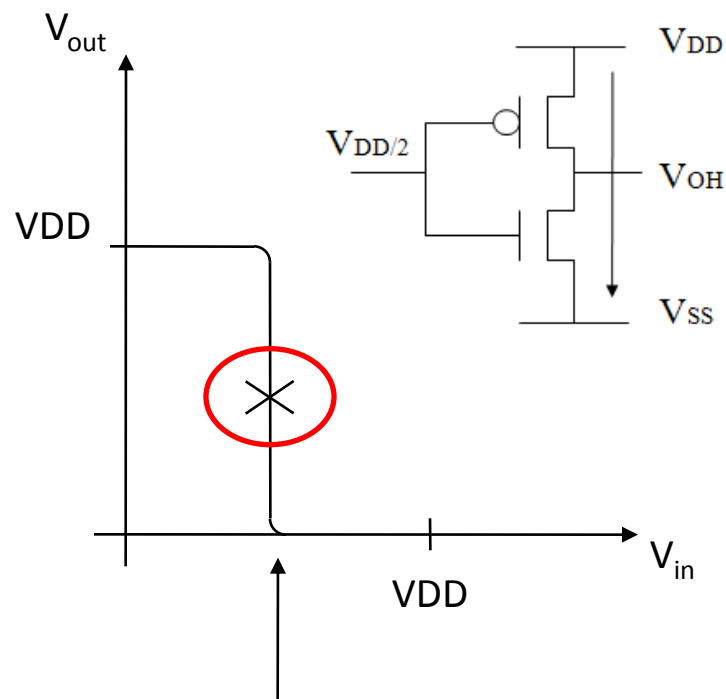


**Marginal er!**

Matningsspänning	5.0V	3.3V	1.8V
$V_{HMAX}$	5.0	3.3	1.8
$V_{IHMIN}$	2.9	1.9	1.0
$V_{LMAX}$	2.1	1.4	0.8
$V_{LMIN}$	0.0	0.0	0.0



# En instabil punkt

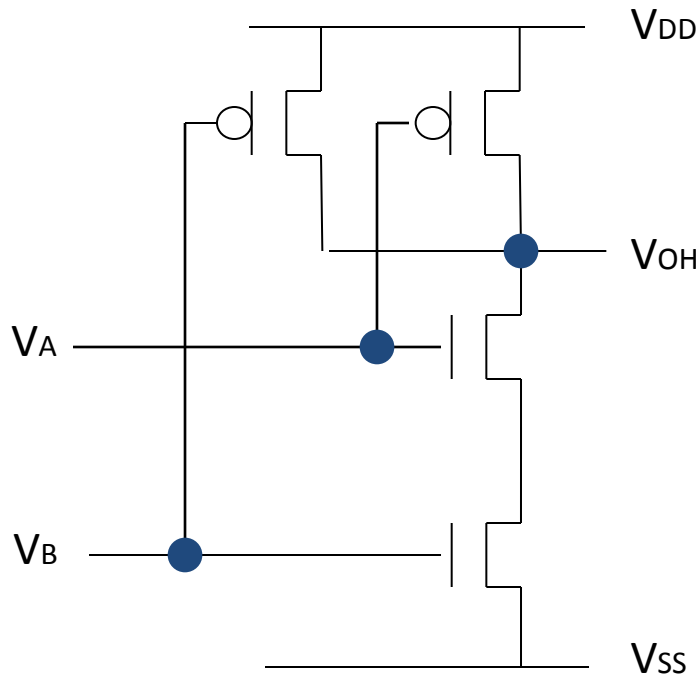


Instabil punkt

*Vi återkommer till metastabilitet ...*

- CMOS-kretsen har en mycket stabil överföringsfunktion
- Vid  $V_{in} = V_{DD}/2$  finns en **instabil punkt**, då både  $T_1$  och  $T_2$  leder.
- Om en krets tillfälligt fastnar i detta läge så inträder ett tillstånd som kallas för metastabilitet.
- Om detta tillstånd varar för länge så kan transistorerna i kretsen skadas pga den höga strömmen.

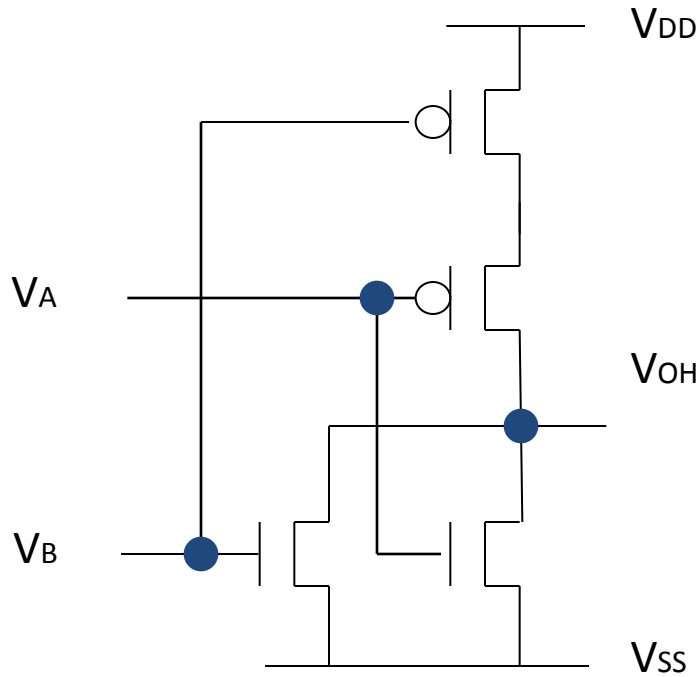
# NAND-grinden



$V_A$	$V_B$	$V_{OH}$
$V_{SS}(0)$	$V_{SS}(0)$	$V_{DD}(1)$
$V_{SS}(0)$	$V_{DD}(1)$	$V_{DD}(1)$
$V_{DD}(1)$	$V_{SS}(0)$	$V_{DD}(1)$
$V_{DD}(1)$	$V_{DD}(1)$	$V_{SS}(0)$

Area:  $A_{NAND} = 4$  Transistors

?

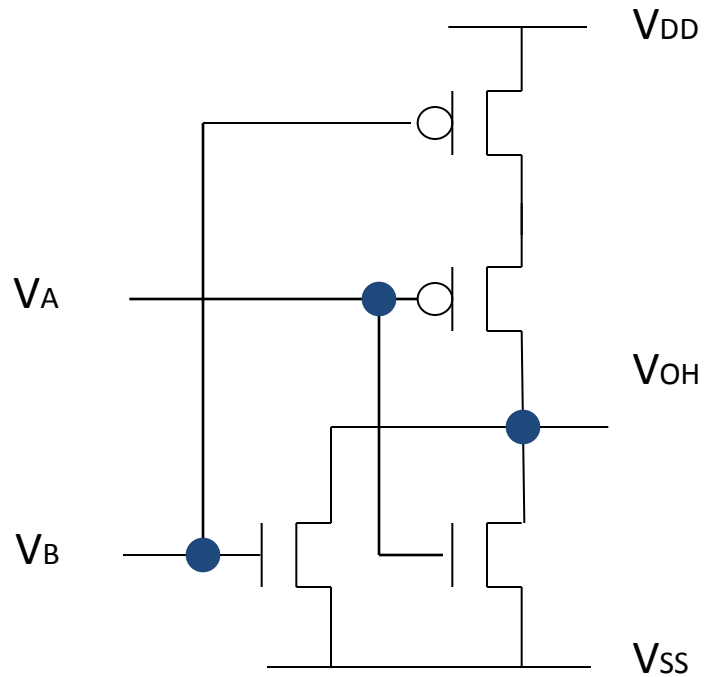


$V_A$	$V_B$	$V_{OH}$
$V_{SS}(0)$	$V_{SS}(0)$	
$V_{SS}(0)$	$V_{DD}(1)$	
$V_{DD}(1)$	$V_{SS}(0)$	
$V_{DD}(1)$	$V_{DD}(1)$	

Vilken sorts grind?

- a) NOR
- b) OR
- c) AND

# NOR-grinden



$V_A$	$V_B$	$V_{OH}$
$V_{SS}(0)$	$V_{SS}(0)$	$V_{DD}(1)$
$V_{SS}(0)$	$V_{DD}(1)$	$V_{SS}(0)$
$V_{DD}(1)$	$V_{SS}(0)$	$V_{SS}(0)$
$V_{DD}(1)$	$V_{DD}(1)$	$V_{SS}(0)$

Area:  $A_{NOR} = 4$  Transistors

# Negativ logik ?



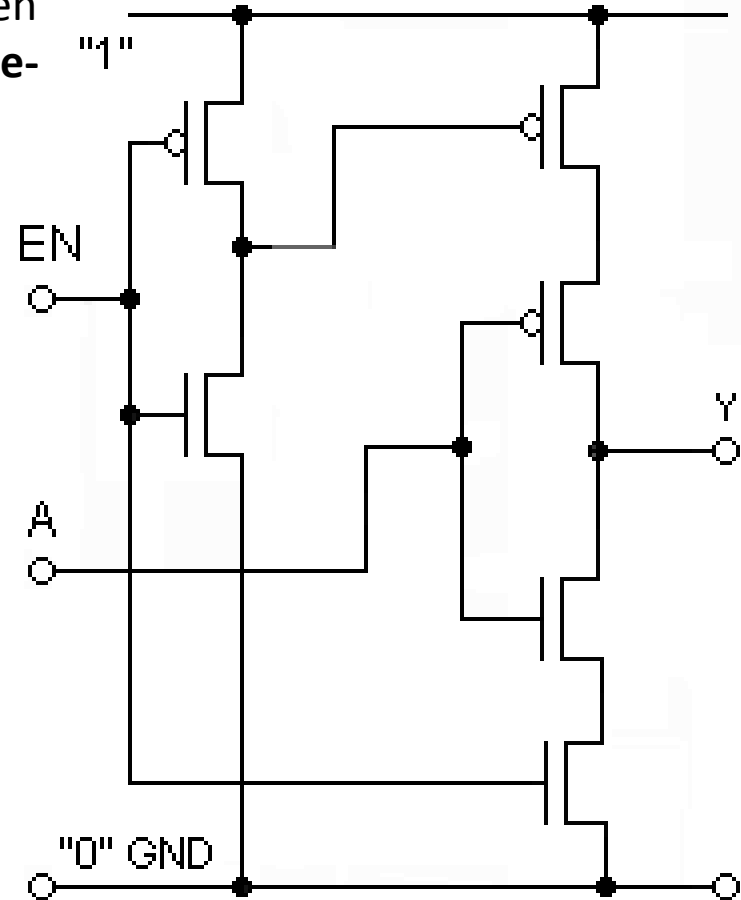
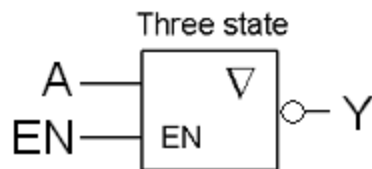
- Man kan också vända på begreppen och låta **L** (låg spänning) representera en logisk 1:a och låta **H** (hög spänning) representera en logisk 0:a.
  - Detta kallas för negativ logik.
- En AND-funktion blir då en OR-funktion och vice versa.
  - Negativ logik eller positiv logik är egentligen egalt, men av tradition använder man sig av positiv logik.



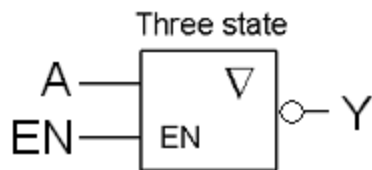
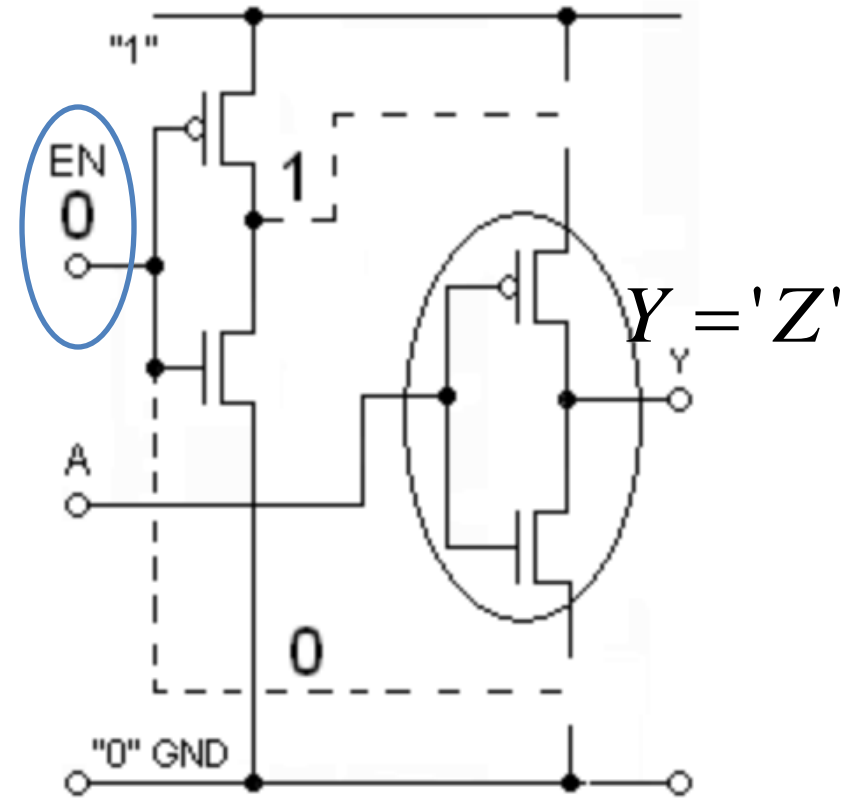
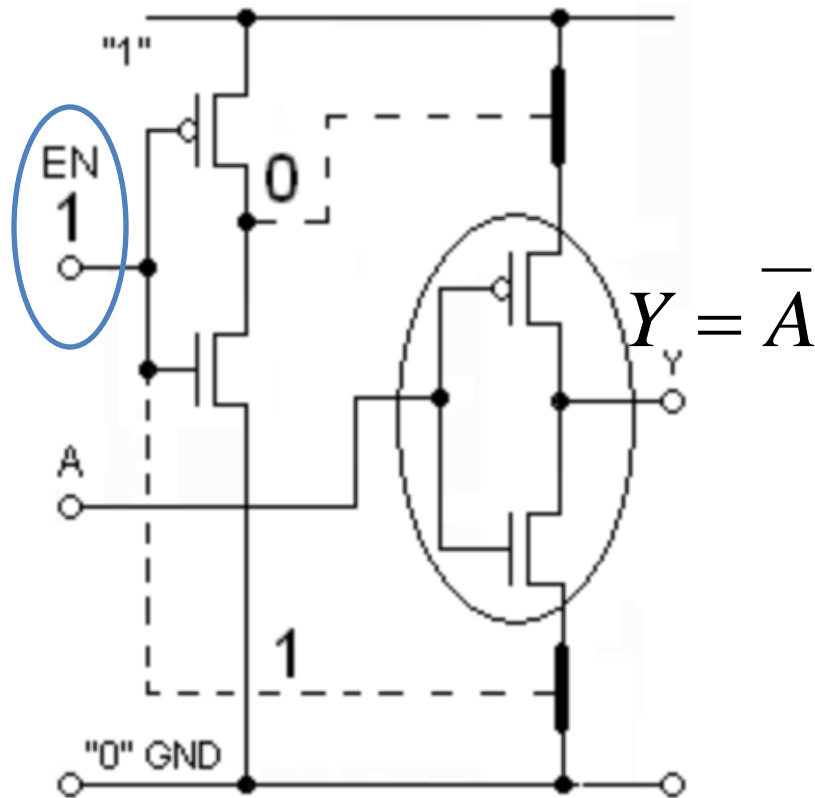
# Three-state

En CMOS-grind kan förutom "1" eller "0" även förses med ett  **tredje**  utgångstillstånd – **Three-state "Z"** (= fränkopplad utgång ).

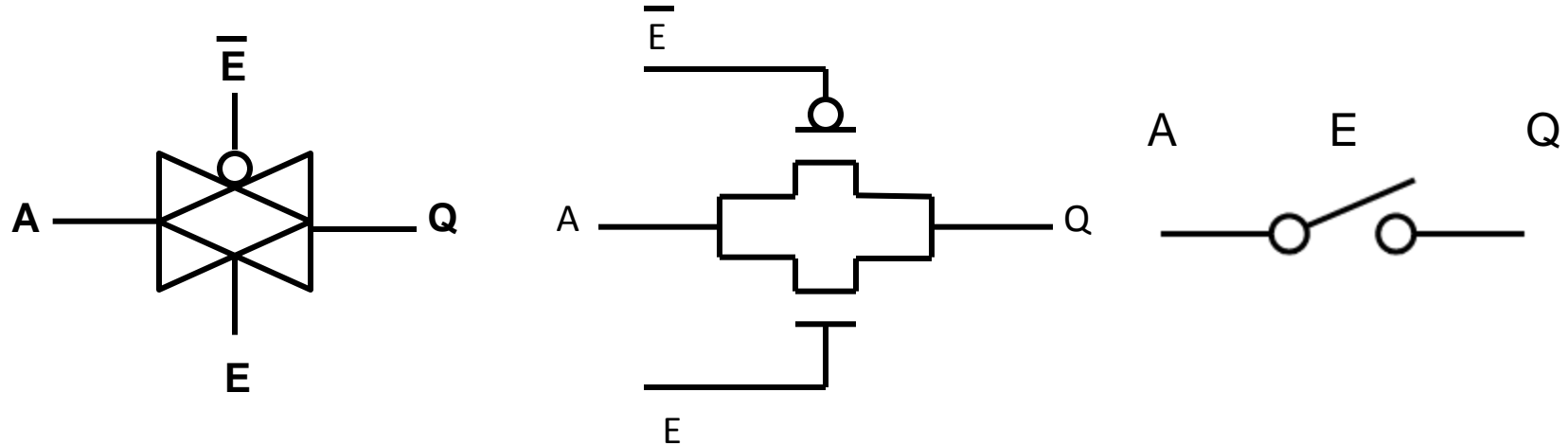
Om många utgångar kopplas ihop till  **samma tråd**  ("buss") så kan ju bara  **en**  av utgångar-na åt gången få vara aktiv. De övriga hålls i Threestate-tillståndet.



# Three state 'Z'



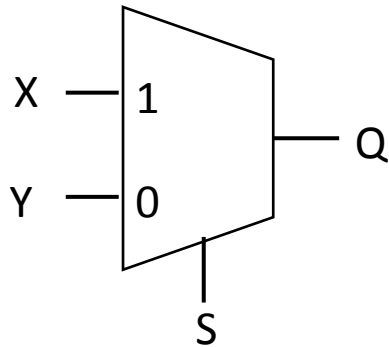
# Transmissionsgrind



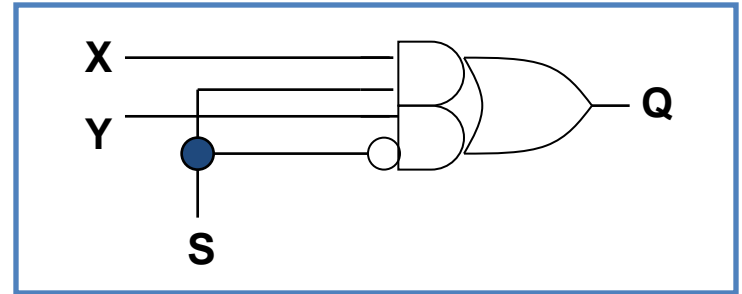
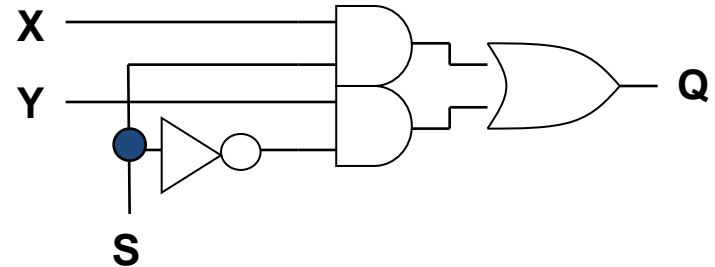
Utan att gå in på kretsdetaljerna så består en transmissionsgrind av en PMOS-transistor i **parallell** med en NMOS-transistor. Grinden styrs med  $E$  (och  $E'$ ) och är då att jämföra med en "vanlig" kontakt. En signal kan gå från  $A$  till  $Q$ , men även baklänges från  $Q$  till  $A$ . Transmissionsgrindskopplingar utnyttjar färre transistorer än andra grindar, men har sämre drivförmåga.

Area:  $A_{TG} = 2$  Transistors

## Exempel: MUX

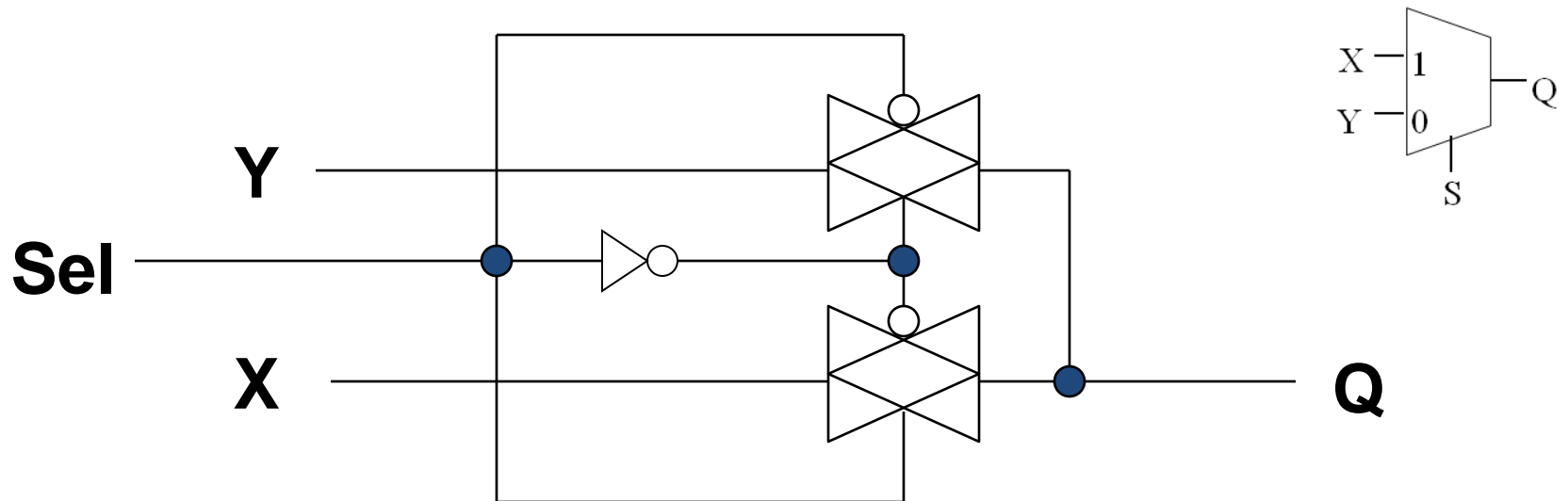


$$Q = XS + Y\bar{S}$$



**Av inverteraren blir endast ringen kvar.  
Mellanliggande ledningar underförstås.**

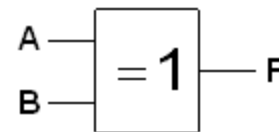
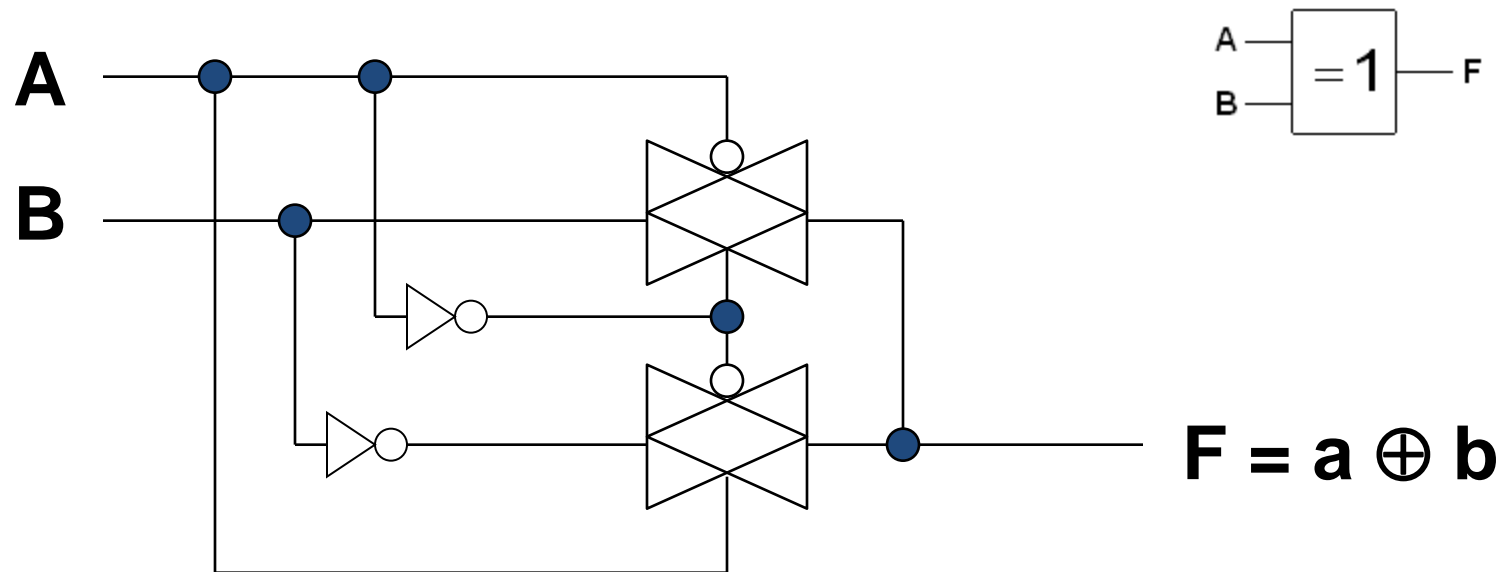
# MUX med transmissionsgrind



**Area:  $A_{\text{mux}} = 6$  Transistors**



# XOR med transmissionsgrind

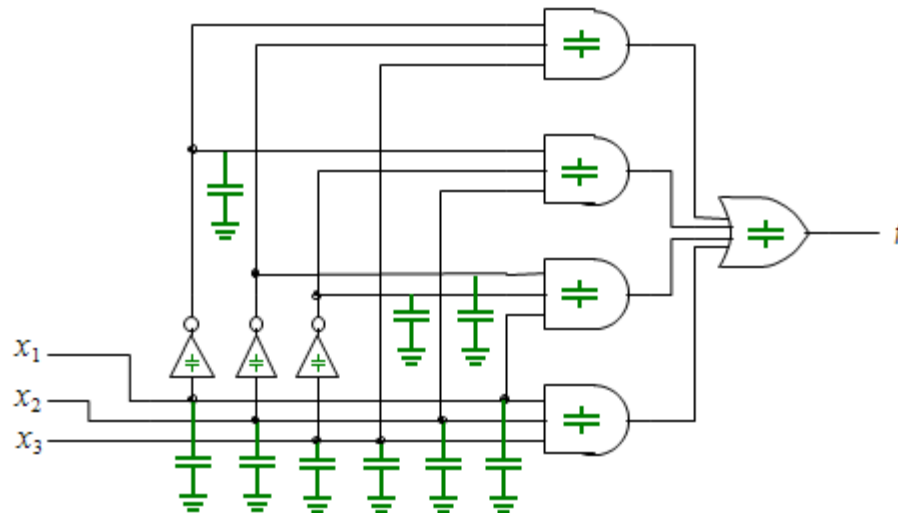


$$F = a \oplus b$$

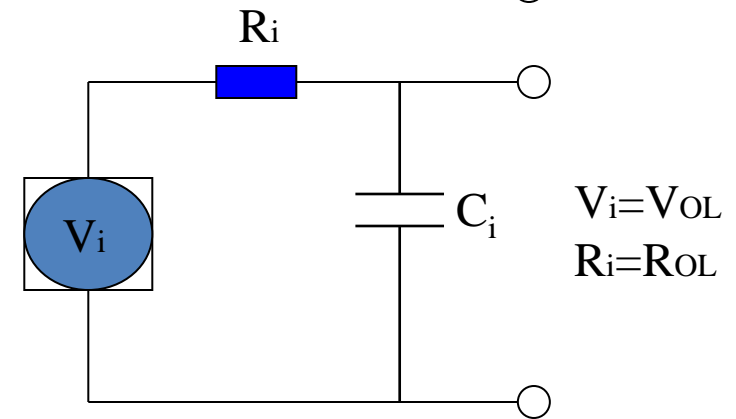
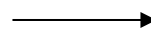
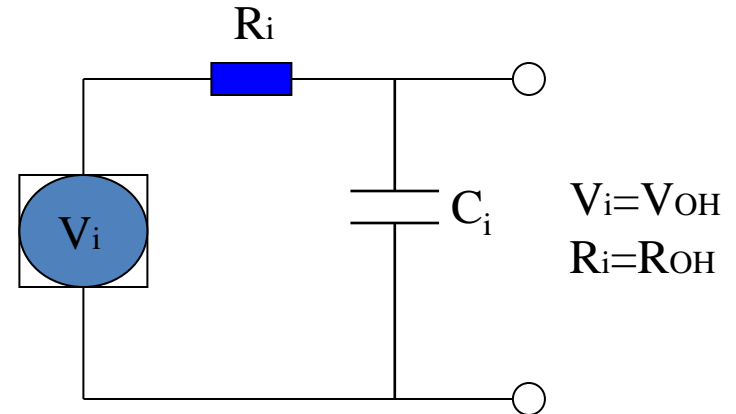
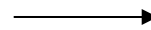
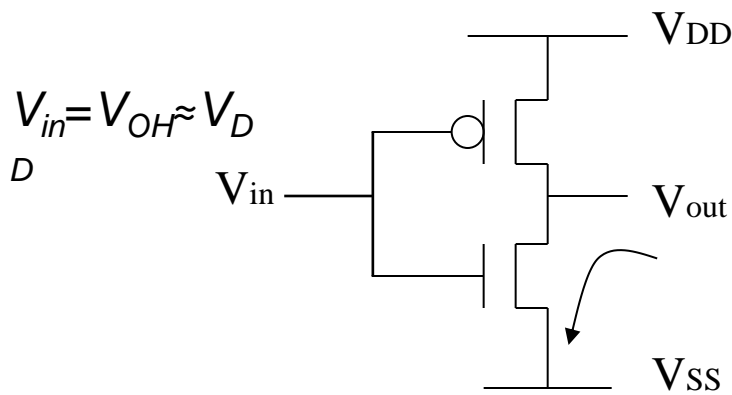
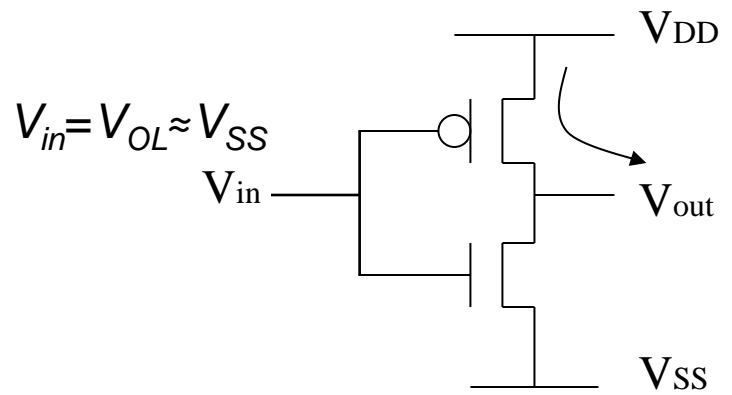
# Fördröjningar i kretsar



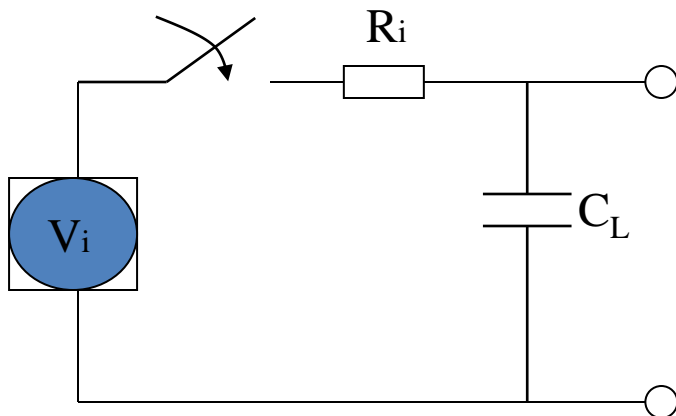
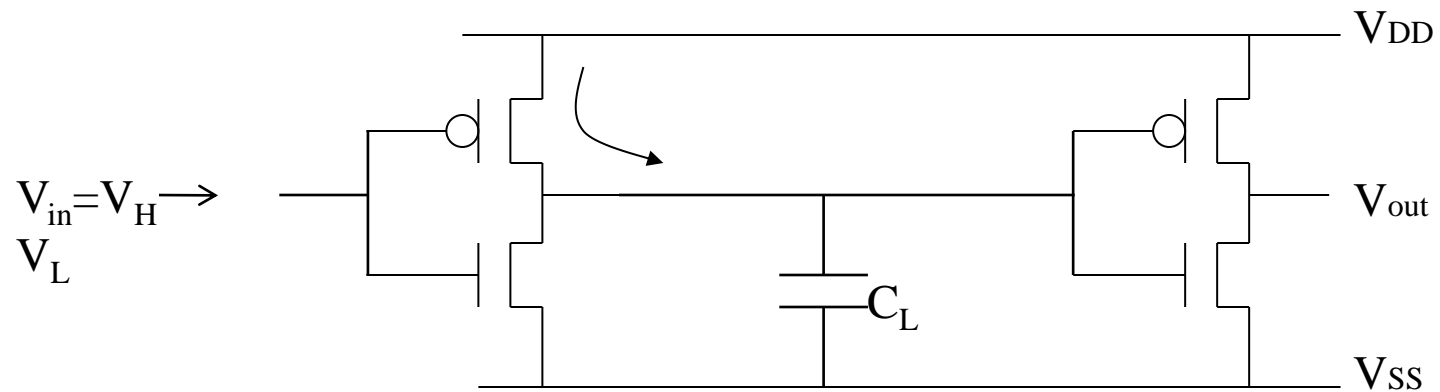
Alla ledningar i elektronikkretsar har kapacitans. Det tar ett tag för spänningar att nå slutvärdet. Dessa fördröjningar *i* kretsar och *mellan* kretsar begränsar snabbheten.



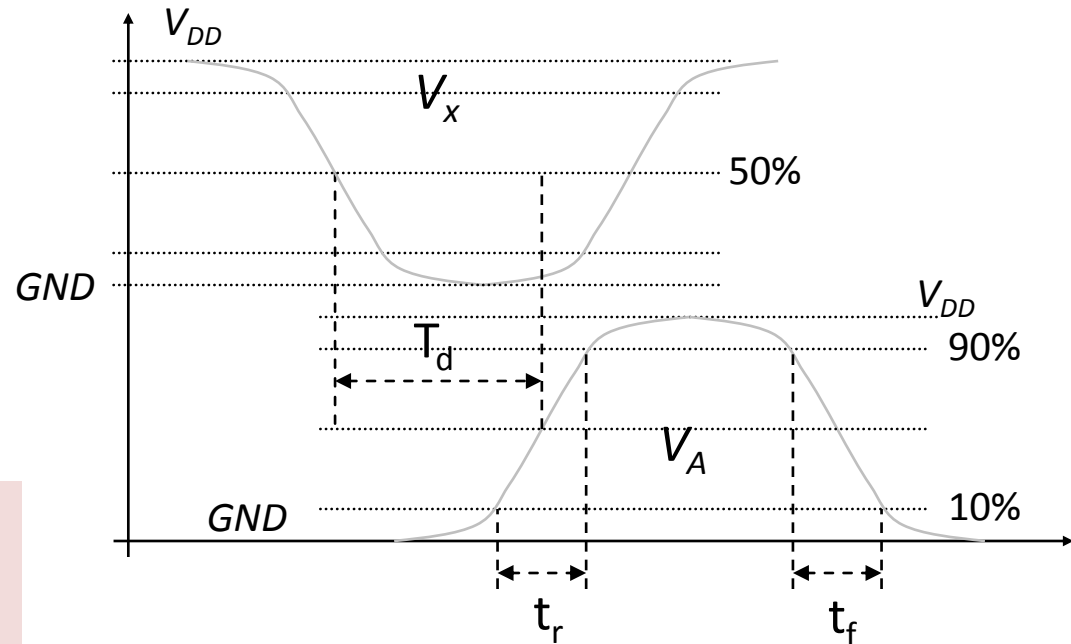
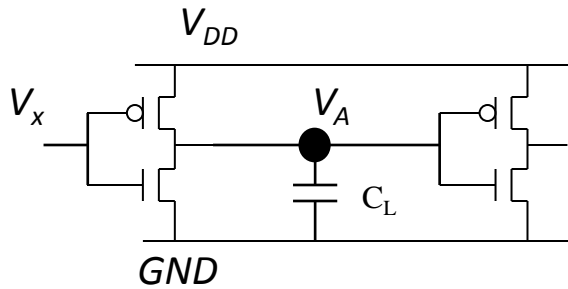
# Inverteraren



# Upp- och urladdningar i grinden orsakar fördröjningar



# Rise, Fall, and Propagation Times...



$T_d$ : Propagation Delay

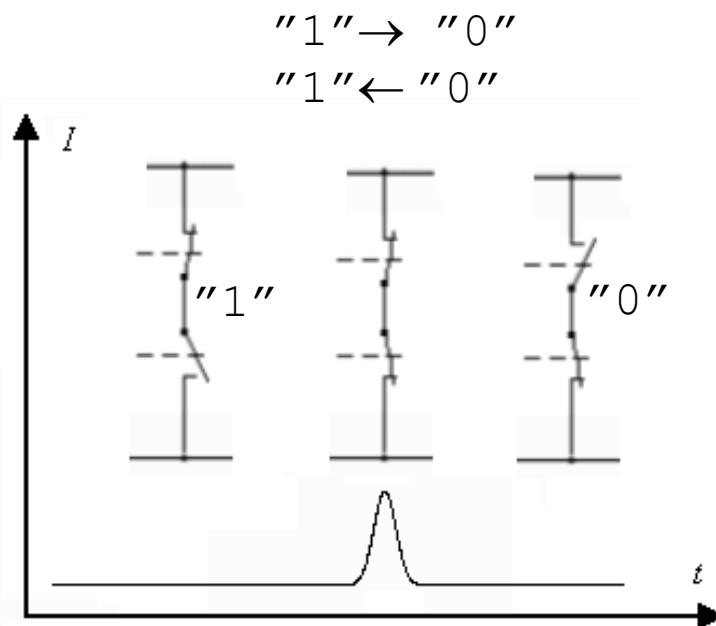
(50%  $V_x$  - 50% -  $V_A$ )

$t_r$ : Rise time (10% - 90%)

$t_f$ : Fall time (90% - 10%)

# CMOS - Dynamisk förlusteffekt

Klassisk CMOS har **bara** förlusteffekt precis vid **omslaget**. Förlusteffekten  $P_F$  blir proportionell mot klockfrekvensen!



$$P_F \propto f_C \cdot V_{DD}^2$$

$P_F$  Power losses

$f_C$  Clockfrequency

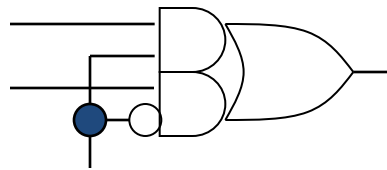
$V_{DD}$  Supply Voltage

# Typiska fördröjningar



NOT	0.5T (alt 1 om ihopkopplad NAND)
NAND,NOR	T
AND, OR	1.5T (AND = NAND + NOT)
NAND-NAND	2T (2 NAND i rad)
XOR,XNOR,MUX	3...5T (3T – opt. strukt)
XOR,MUX (TG)	2T

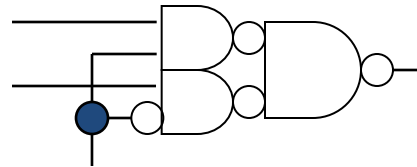
# Optimerade strukturer för MUX



AND-OR

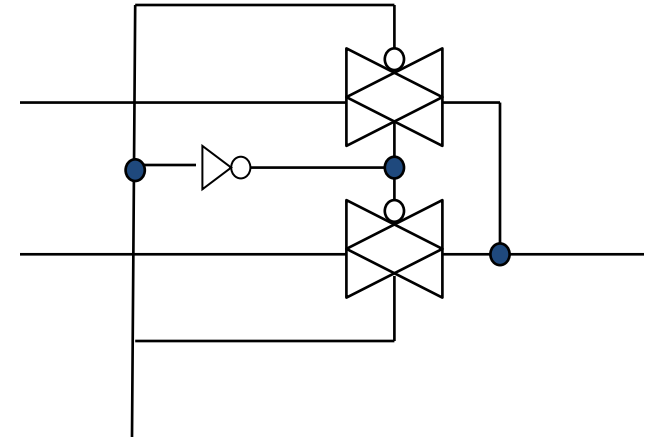
Area:  $A_{MUX} = 20$  Transistorer  
 Delay:  $T_{MUX} = 5T_{NAND}$

DeMorgan



NAND-NAND

Area:  $A_{MUX} = 14$  Transistorer  
 Delay:  $T_{MUX} = 3T_{NAND}$



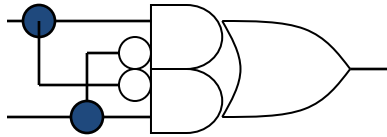
Area:  $A_{MUX} = 6$  Transistorer  
 Delay:  $T_{MUX} = \sim 2T_{NAND}$



Bäst!



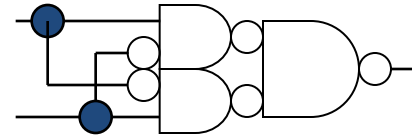
# Optimerade strukturer för XOR



Area:  $A_{XOR}=22$  Transistorer

Delay:  $T_{XOR}=5T_{NAND}$

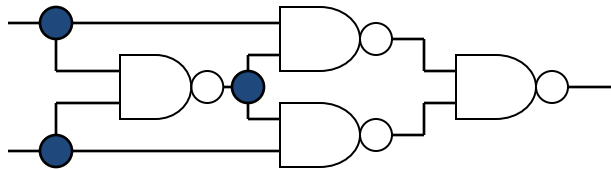
DeMorgan



Area:  $A_{XOR}=16$  Transistorer

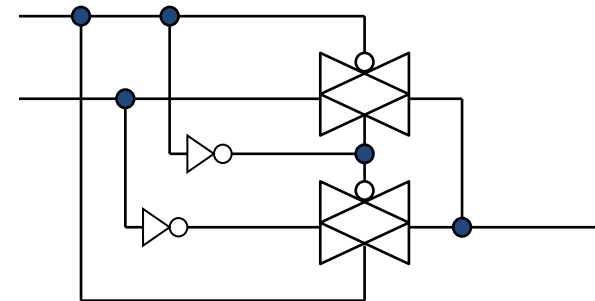
Delay:  $T_{XOR}=3T_{NAND}$

Nand only



Area:  $A_{XOR}=16$  Transistorer

Delay:  $T_{XOR}=3T_{NAND}$



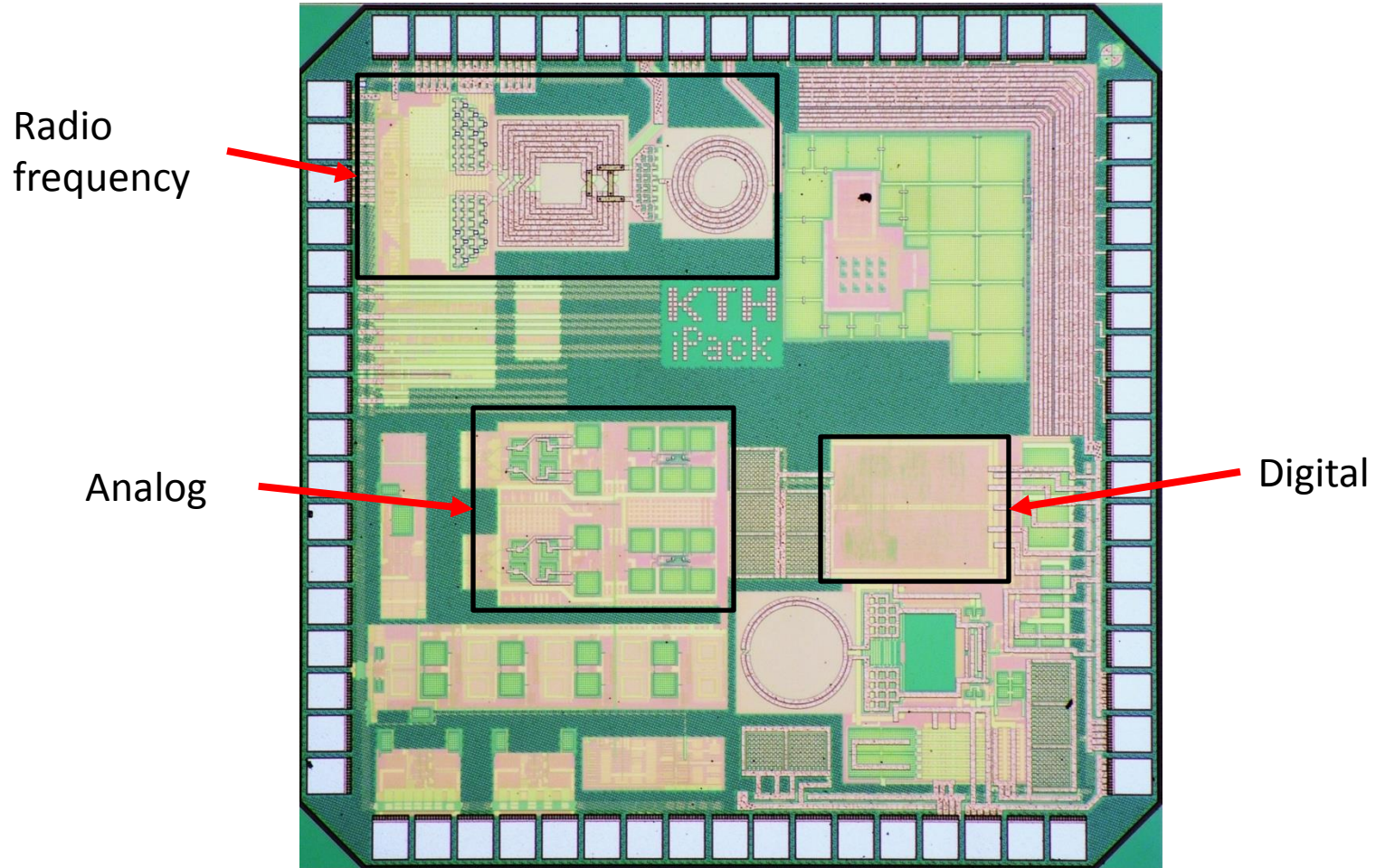
Area:  $A_{XOR}=8$  Transistorer

Delay:  $T_{XOR} \sim 2T_{NAND}$



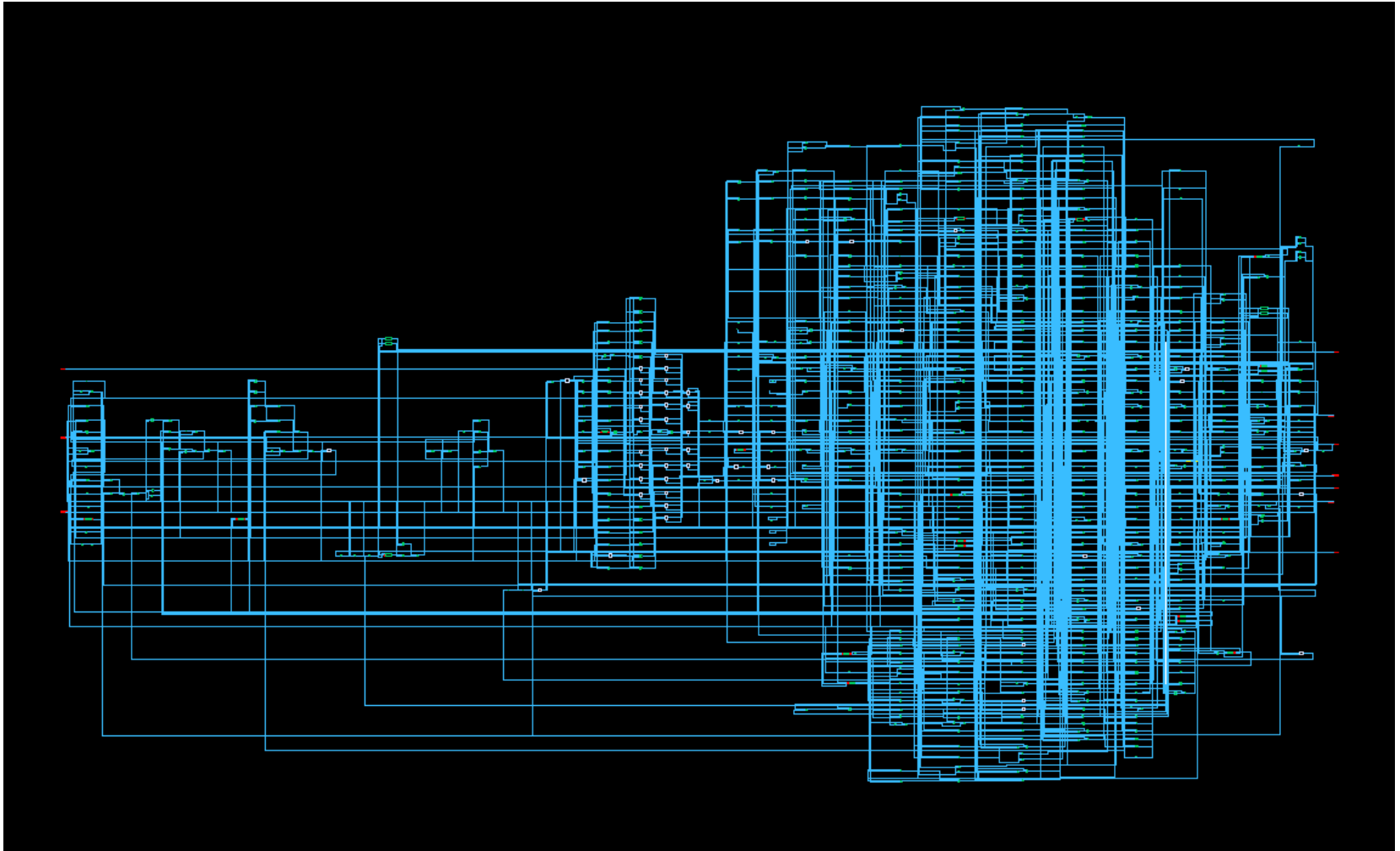
Bäst!

# Exempel på krets

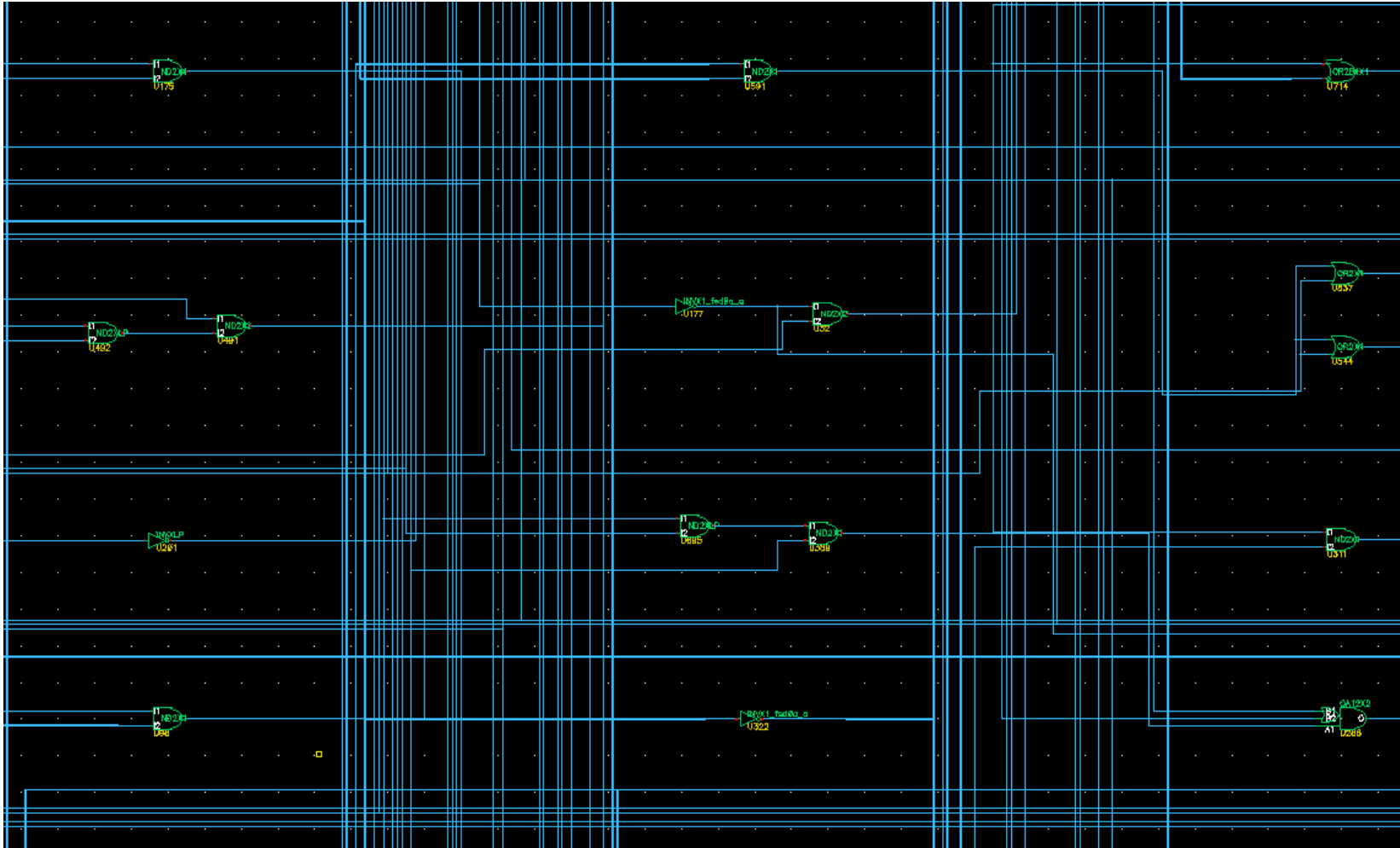


Mixed signal krets, innehåller både analoga och digitala kretsblock

# Automatiskt genererad digital logik

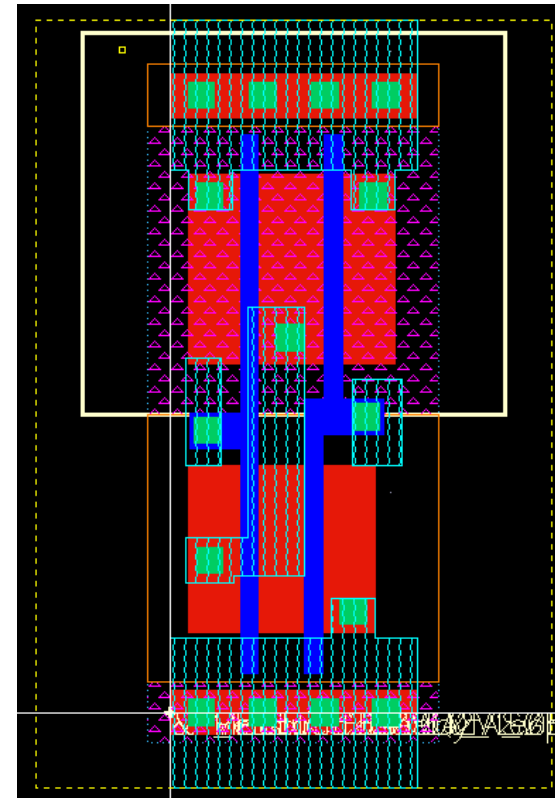
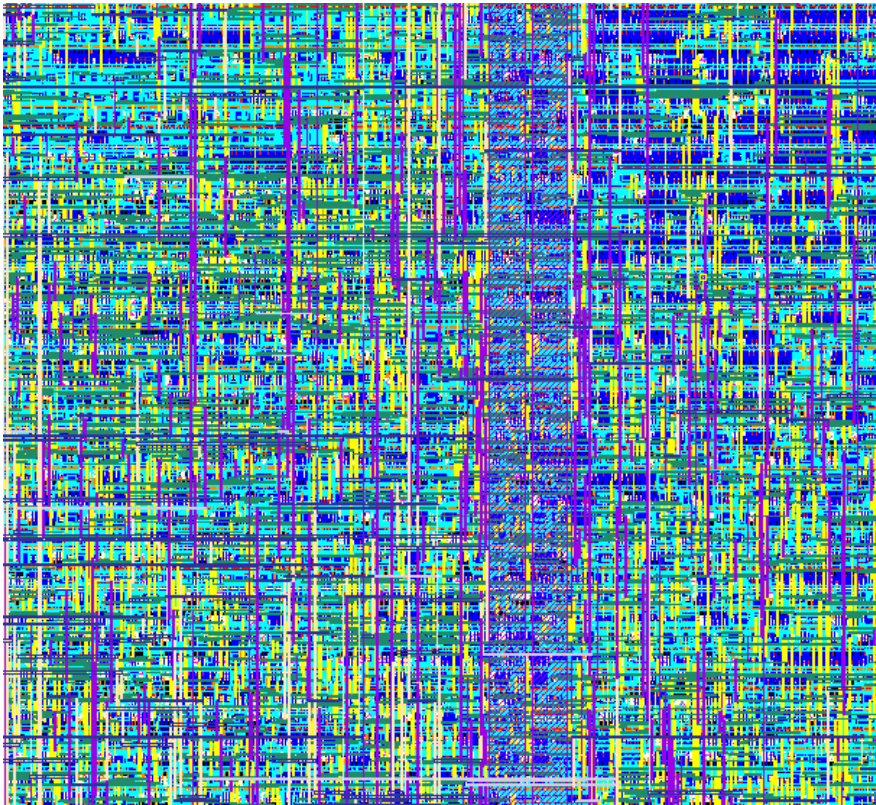


# Automatiskt genererad digital logik



Zoomar man in känner man igen grindarna!

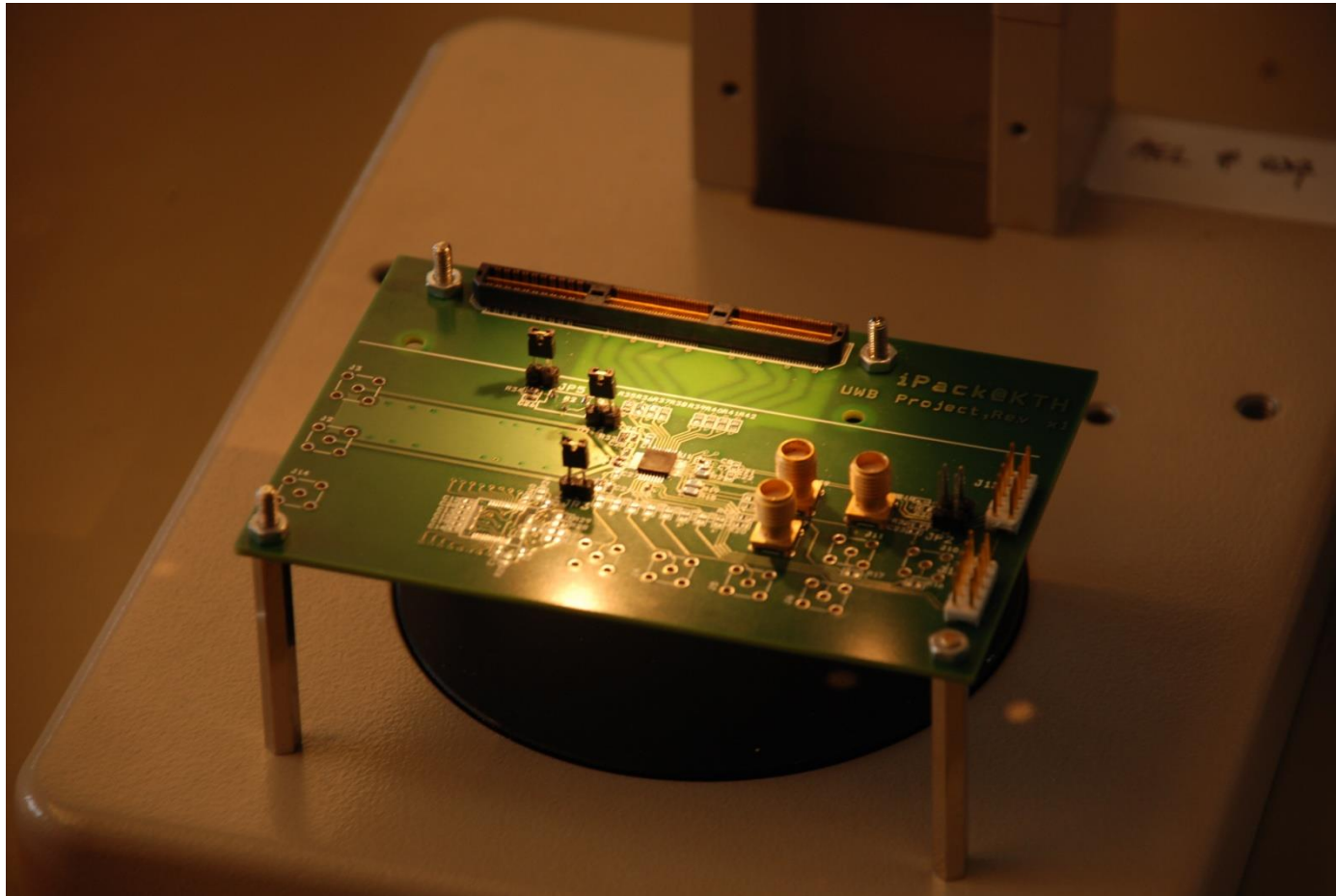
# Digital layout



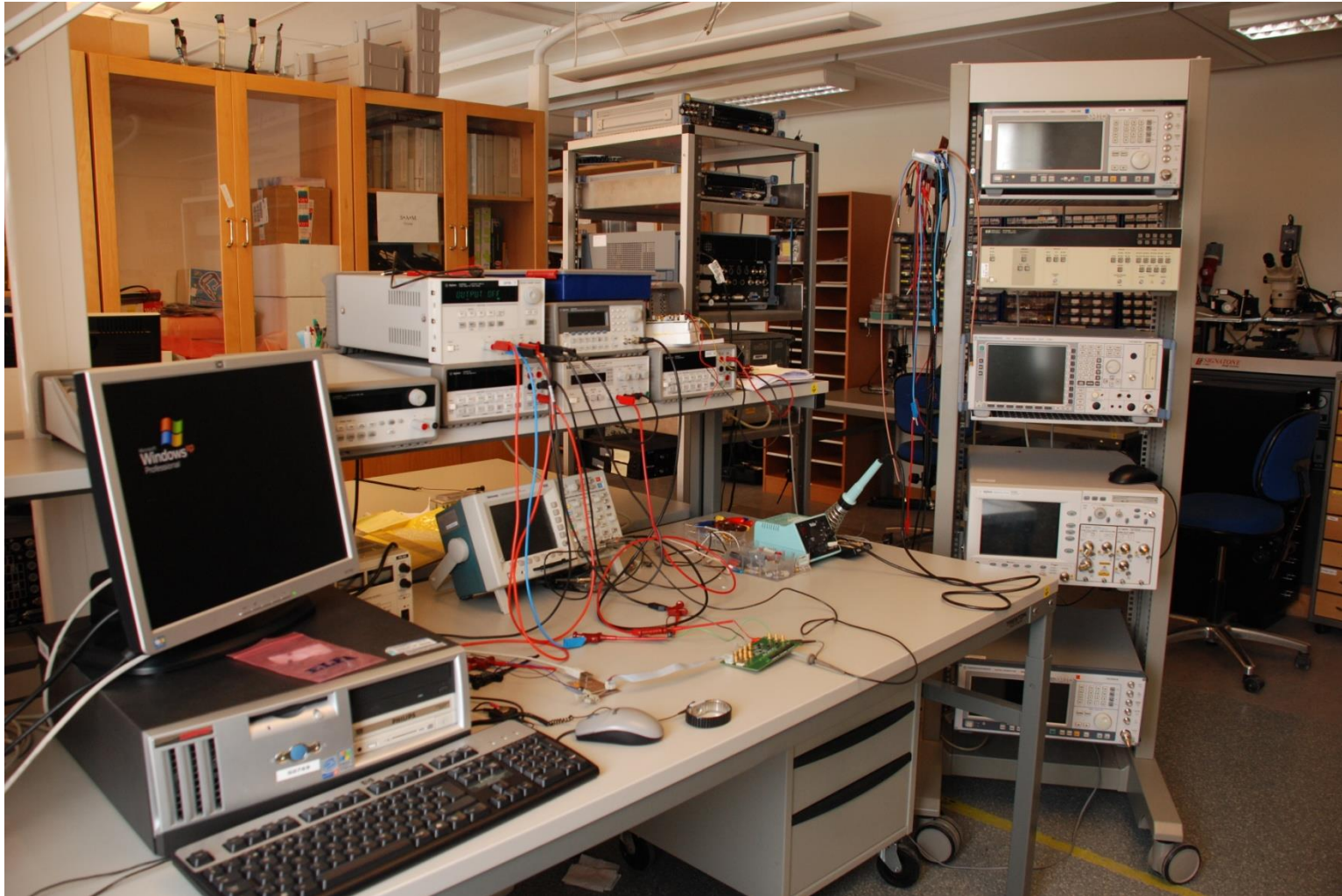
Känner du igen grinden?



# Kapsla och montera på kretskort



# Testning



# Fan-out och Fan-in

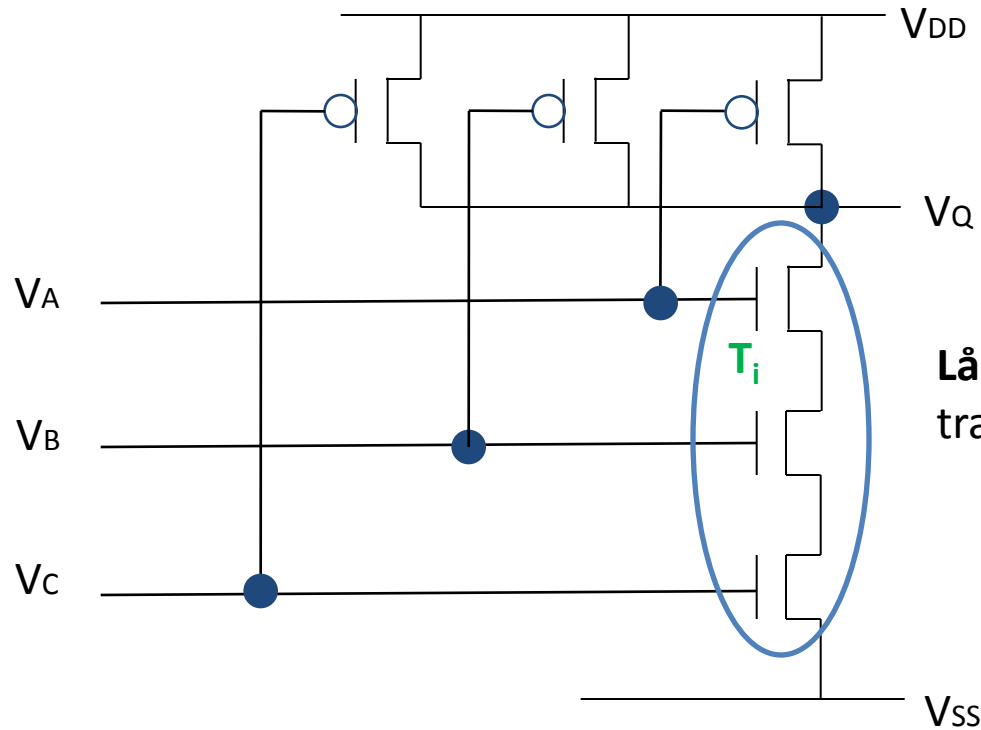


- **Fan-out** - en utgång driver många ingångar. Utgången lastas ned med summan av ingångarnas kapacitanserna => fördröjningen **T** blir **last-beroende**.

- **Fan-in** - en grind har många ingångar. Detta medför att den har fler inre kapacitancer => den inre fördröjningen **T<sub>i</sub>** (även kallad den intrinsiska fördröjningen) blir större.



# Grindar med flera ingångar

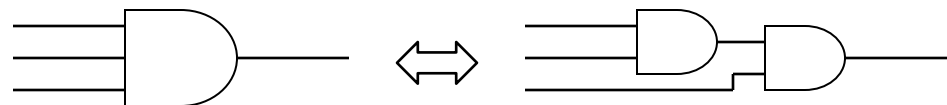


3-input NAND

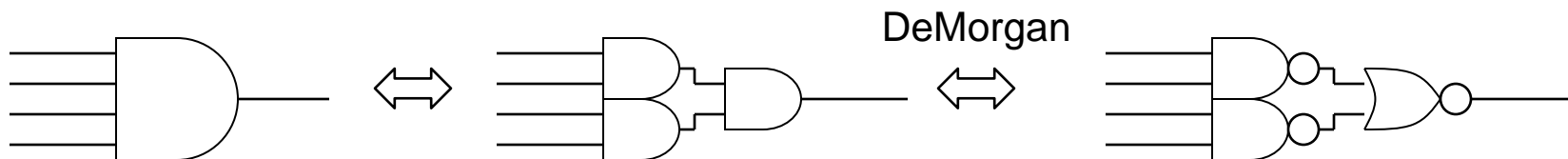
Man använder sällan grindar med fler än **fyra** ingångar.

**Lång rad** av seriekopplade transistorer ger långsam funktion!

# Hög Fan-in löses med trädstrukturer



$$a \cdot b \cdot c = a \cdot (b \cdot c)$$

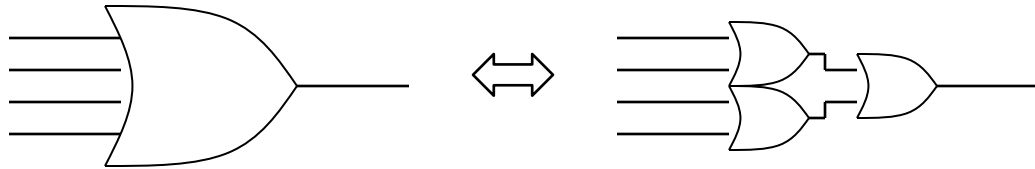


$$a \cdot b \cdot c \cdot d = (a \cdot b) \cdot (c \cdot d)$$

$$a \cdot b \cdot c \cdot d = \overline{\overline{(a \cdot b)} + \overline{(c \cdot d)}}$$

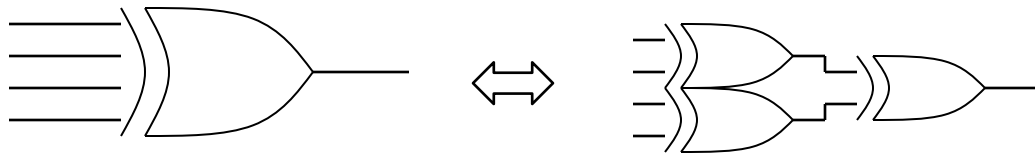
Till priset av ökat grind-djup (fördröjning)

# Fler trädstrukturer

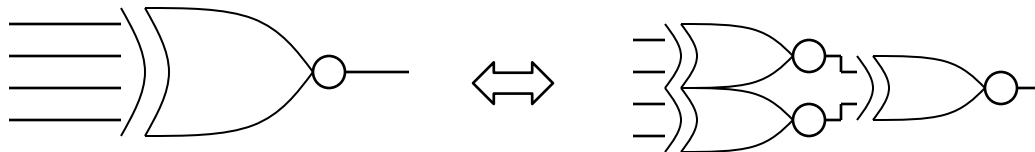


$$a + b + c + d = (a + b) + (c + d)$$

Till priset av ökat grind-djup (fördröjning), men effekten av inre kapacitanser hade blivit värre.



$$a \oplus b \oplus c \oplus d = (a \oplus b) \oplus (c \oplus d)$$

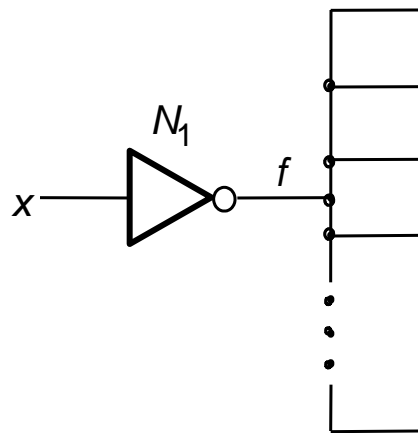


$$\overline{a \oplus b \oplus c \oplus d} = \overline{(a \oplus b) \oplus (c \oplus d)}$$

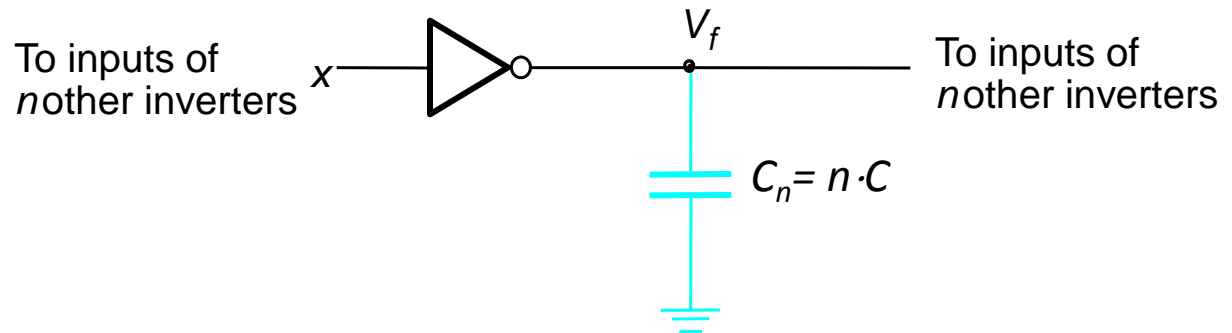
**Kan Du bevisa dessa likheter?**

# Fan-out

- Antalet grindar som en grind driver betecknas som fan-out
- Alla grindar som drivs ökar den kapacitativa lasten

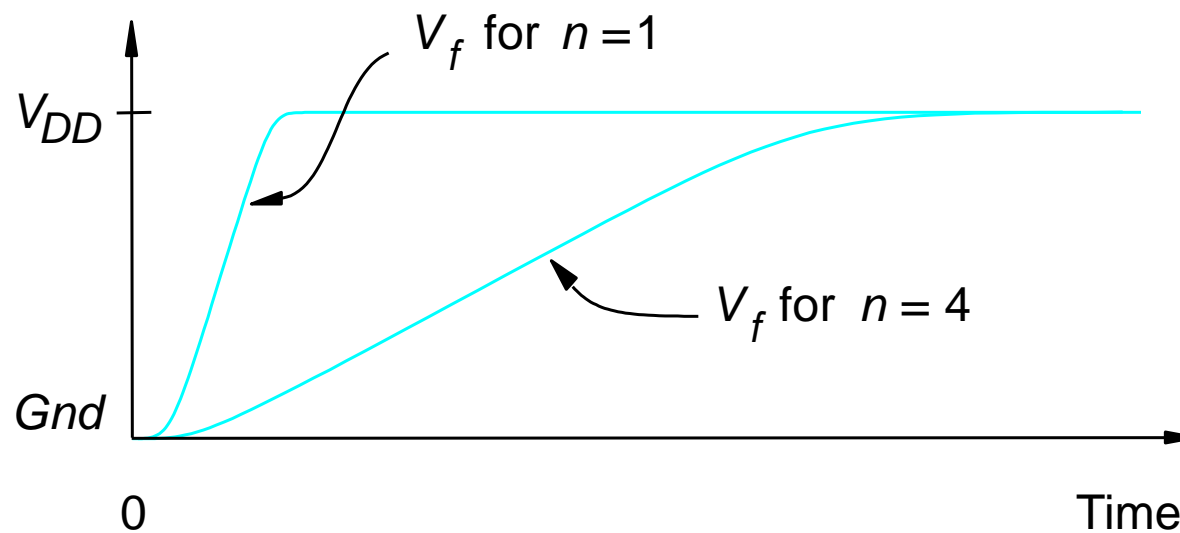


(a) Inverter that drives  $n$  other inverters



(b) Equivalent circuit for timing purposes

- Fördröjningen för olika fan-outs

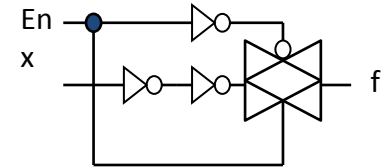
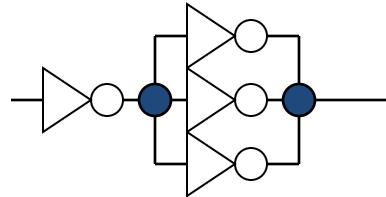
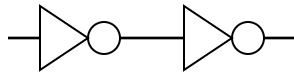
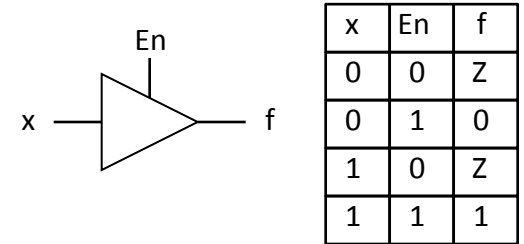
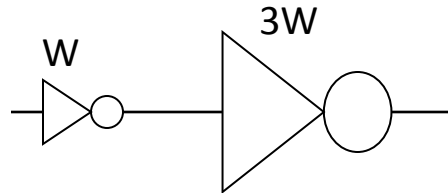
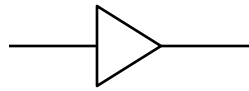


# Buffer



- En buffer är en krets som implementerar funktionen  $f(x) = x$  (det vill säga sig själv)
- Idén med bufferten är att ökar drivförmågan av kapacitativa laster
  - För att öka drivförmågan så använder man större transistorer
  - Buffrar kan dimensioneras så att de kan driva större strömmar

# Hög Fan-out – använd buffer



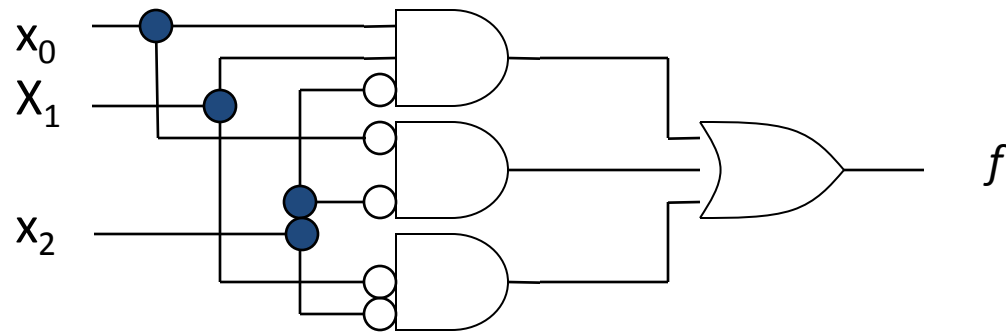
**Non-inverting Buffer**

**High-Fan-Out Buffer**

**Tri-state Buffer**

# Critical path (den längsta vägen)

$$f = x_0 x_1 \bar{x}_2 + \bar{x}_0 \bar{x}_2 + \bar{x}_1 \bar{x}_2$$



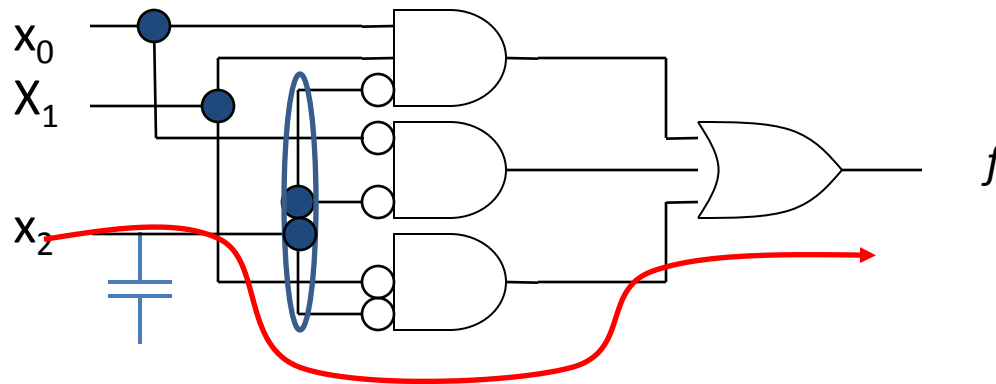
**Vilken väg till utgången tar längst tid?  
(om ingångarna drivs med likadan buffert)**

$x_0 x_1 x_2$  ?



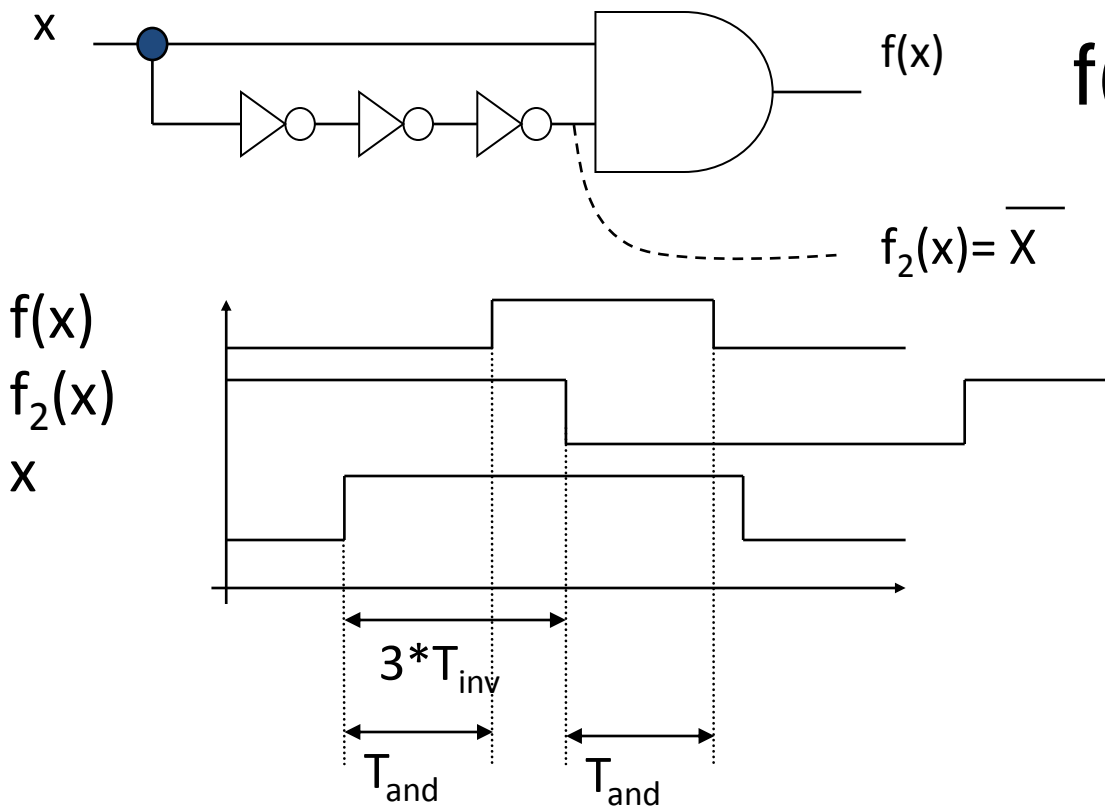
# “Critical path”

$$f = x_0 x_1 \overline{x_2} + \overline{x_0} \overline{x_2} + \overline{x_1} \overline{x_2}$$



$x_0 x_1 x_2$  passerar alla var sin NOT , AND, och OR,  
på vägen mot utgången  $f$ , men  $x_2$  belastas av *tre* ingångar,  $x_0$  och  $x_1$  bara av *två*.  
“Critical path” blir  $x_2$  !

# Signal Racing



$$f(\underline{x}) = x \overline{\overline{\overline{x}}} = x \overline{\overline{x}} = 0$$

$$f_2(x) = \overline{\overline{\overline{x}}}$$

Om en signal har olika långa vägar till utgången kan sk signal racing uppkomma.

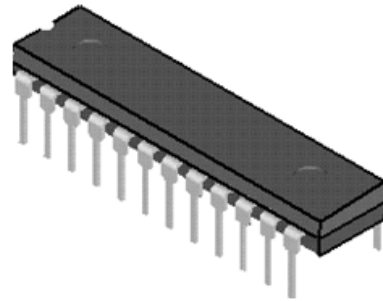
- CMOS-kretsarna är mycket effektsnåla
- Den största andelen för äldre teknologier är den dynamisk effekten, som sker när man byter spänningsnivå
- För en CMOS-krets kan man beräkna effektförbrukningen med formeln
- För en inverter förenklas formeln till

$$P_D = \frac{1}{2} \alpha f C V_{DD}^2$$

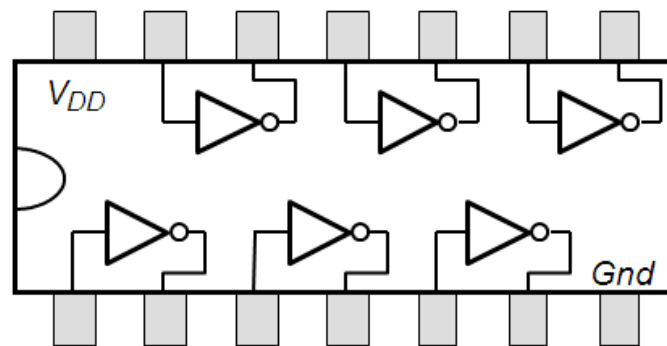
$$P_{D,inv} = f C V_{DD}^2$$

- (Brown/Vranesic Example 3.8)
  - Inverterare
    - $C = 70 \text{ fF}$ ,  $f = 100 \text{ MHz}$ ,  $V_{DD} = 5\text{V}$
    - $P_D = 175 \mu\text{W}$
  - Antag att en design har grindar motsvarande 10000 inverterare där 20% av grindarna byter spänningsnivå, så är effektförbrukning ca 0.35W

# 7400-series standard chips



(a) Dual-inline package



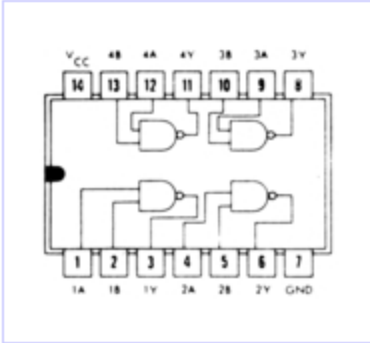
(b) Structure of 7404 chip

# Standardkretsarna används mest som reservdelar

**ELFA**  
Allt mellan antenn och jord

## Logikkrets DIL-14, 74HC00N

Aktiva komponenter > Digitala kretsar / Utvecklingsverktyg / Kristaller > 74-logik



Kvantitet	Artikelnr.	Pris/styck
<input type="text" value="1"/> <input type="button" value="Köp"/>	73-500-10	1- <b>5.77</b>
		25- 3.35
		100- 2.42

Levereras normalt samma dag  
 Uppfyller ROHS direktivet

Saldo

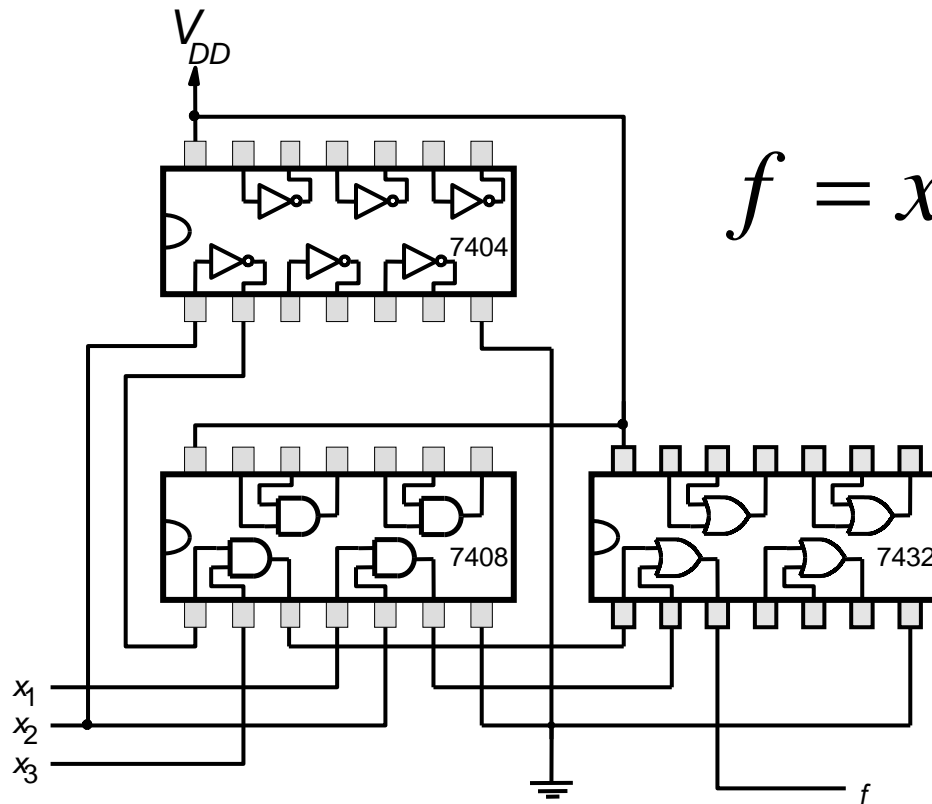
Centrallager Veddesta

Tillgängligt lagersaldo **1175**  
Vi reserverar oss för mellanförsäring och lagersaldofel.

*Inte så dyra!*

Men många fler än skolorna behöver kretsarna. Det finns många kvar i lager ...

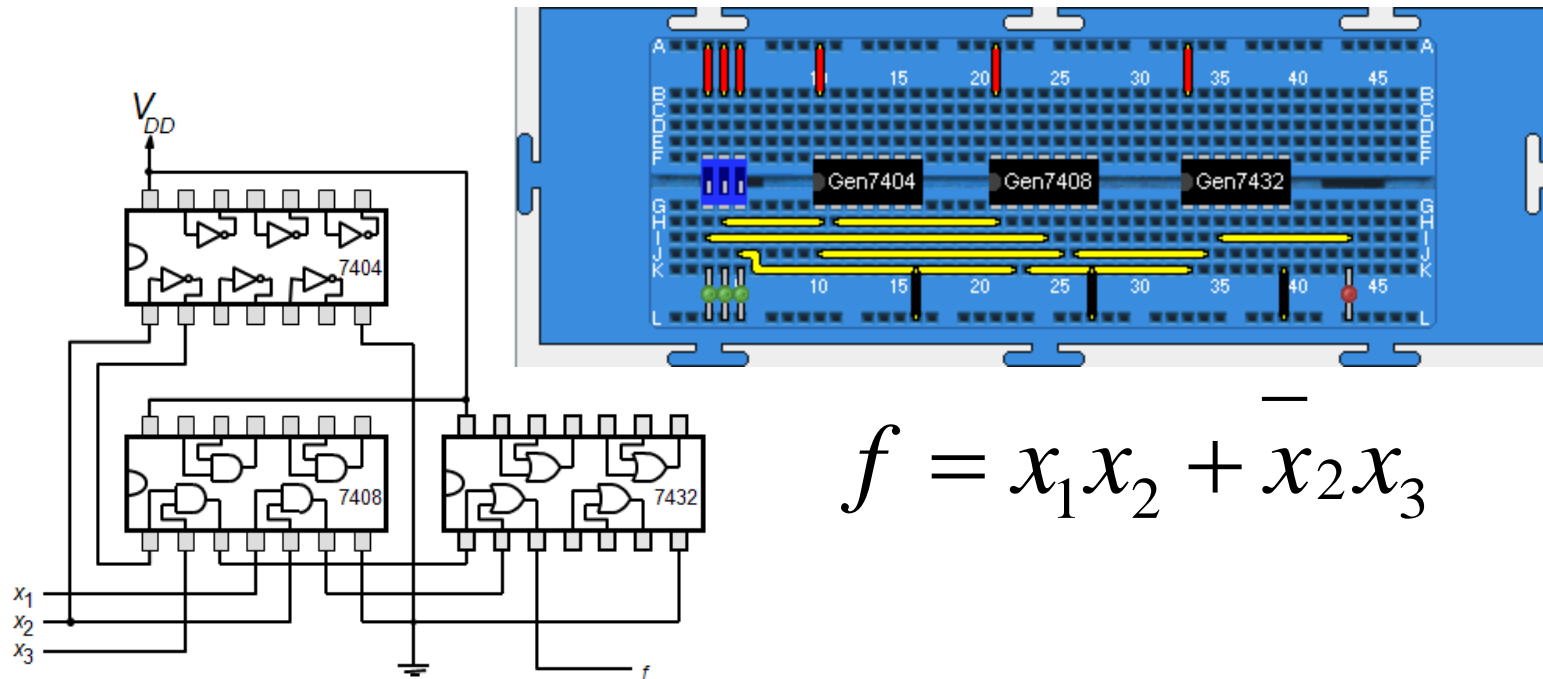
# Implementering av en logisk funktion



$$f = x_1x_2 + \bar{x}_2x_3$$

# Kopplingsdäcksimulator

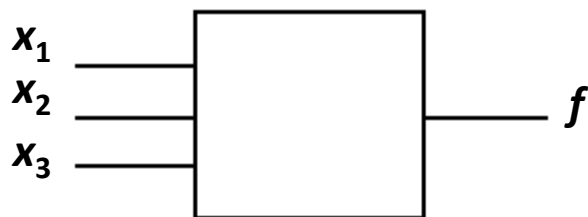
Inför laborationerna ska Du prova att koppla upp kretsarna med en kopplingsdäcksimulator!



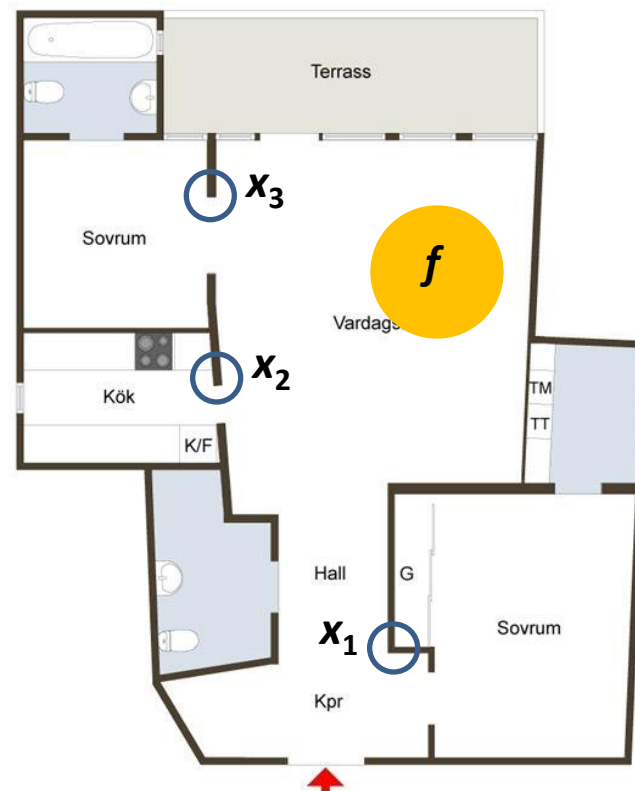


## Brown/Vranesic: 2.8.1

Antag att vi behöver kunna tända/släcka vardagsrummet från tre olika ställen.



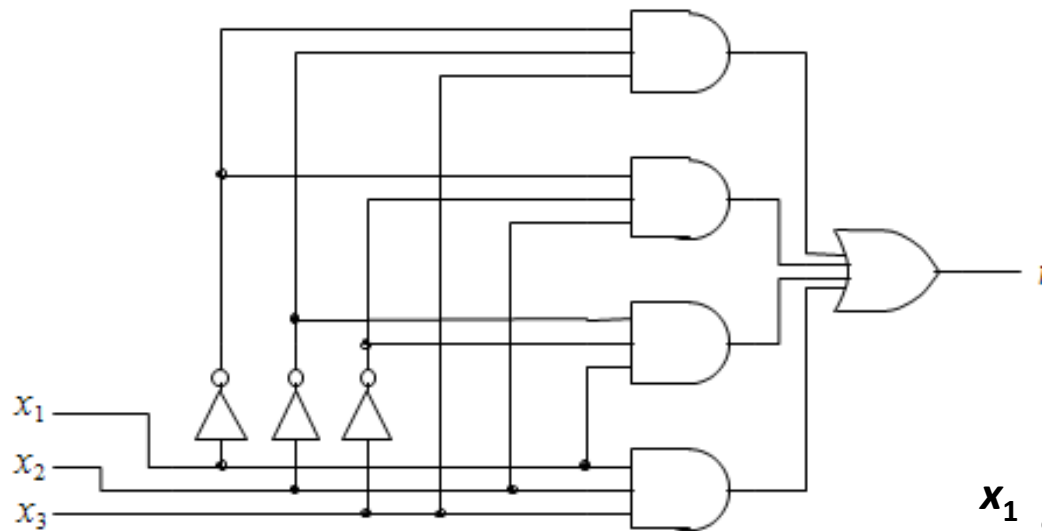
$x_1$	$x_2$	$x_3$	$f$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



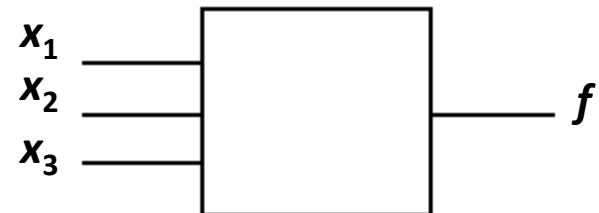
Viss avvikelse kan förekomma. Skala och mått kan avvika från verkligheten.

# Trevägs ljuskontroll

$$f = \sum m(1,2,4,7) = \bar{x}_1\bar{x}_2x_3 + \bar{x}_1x_2\bar{x}_3 + x_1\bar{x}_2\bar{x}_3 + x_1x_2x_3$$

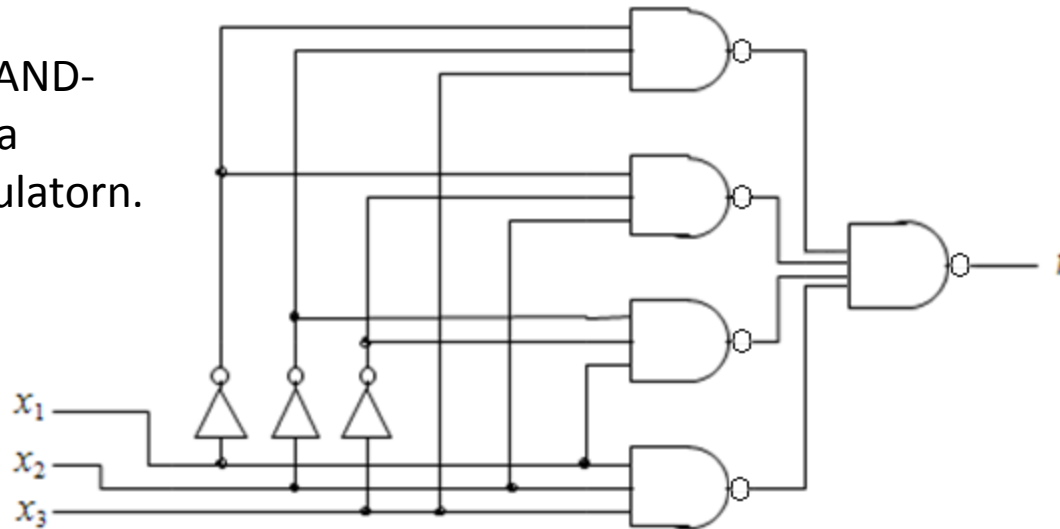


(a) Sum-of-products realization

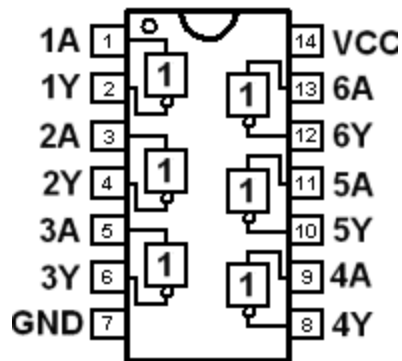


# NAND-NAND

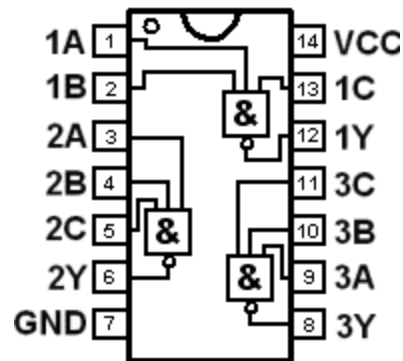
Om vi byter till NAND-NAND så finns alla grindarna till simulatorn.



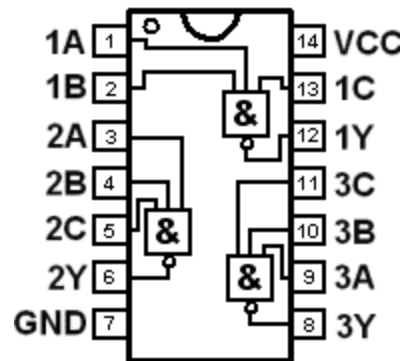
7404



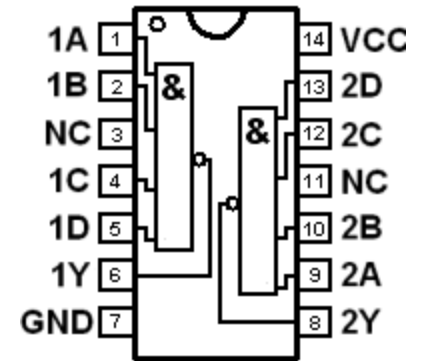
7410



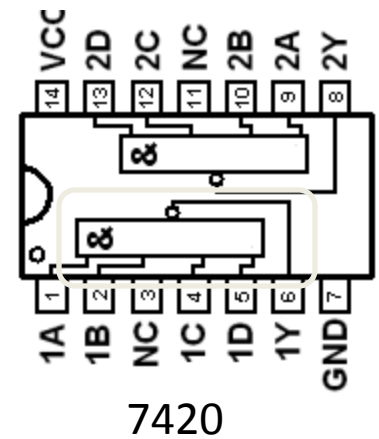
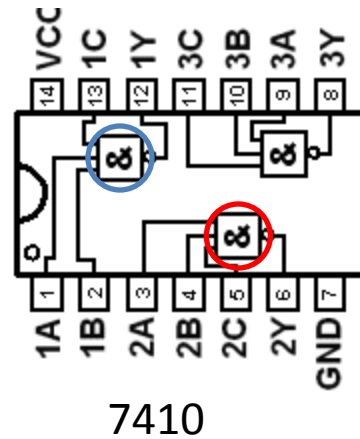
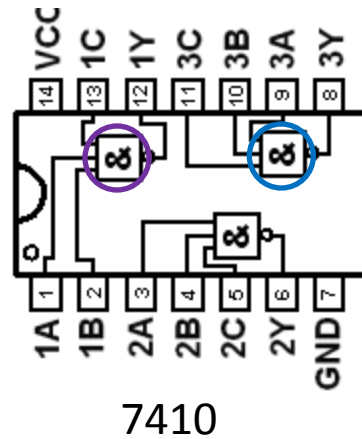
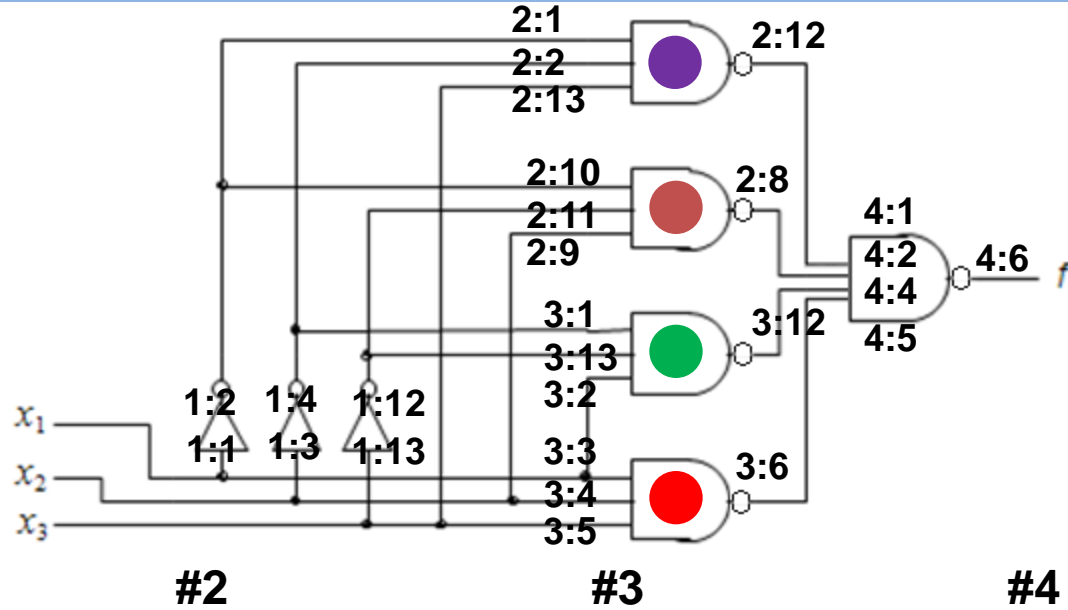
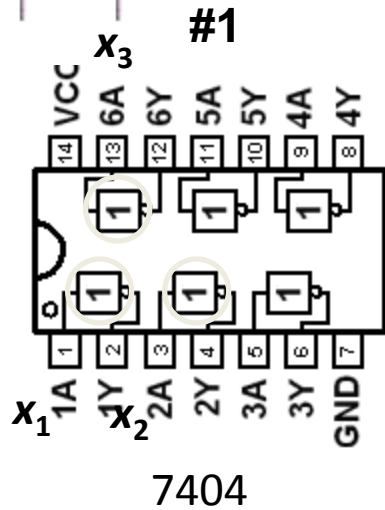
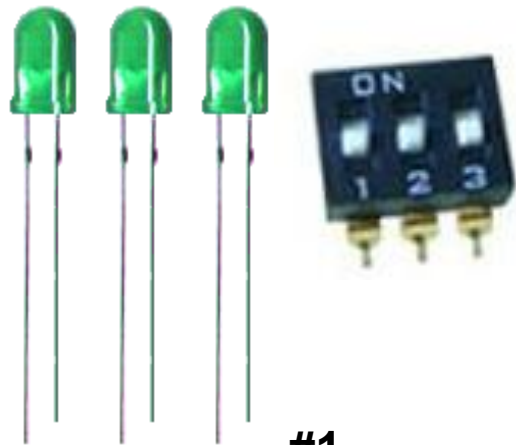
7410



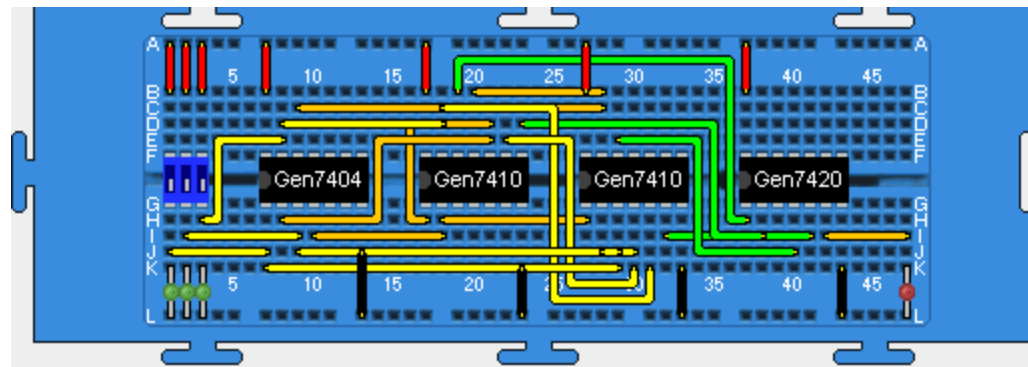
7420



Du måste skriva dit pin-nummer i schemat – annars kommer Du att villa bort dig!

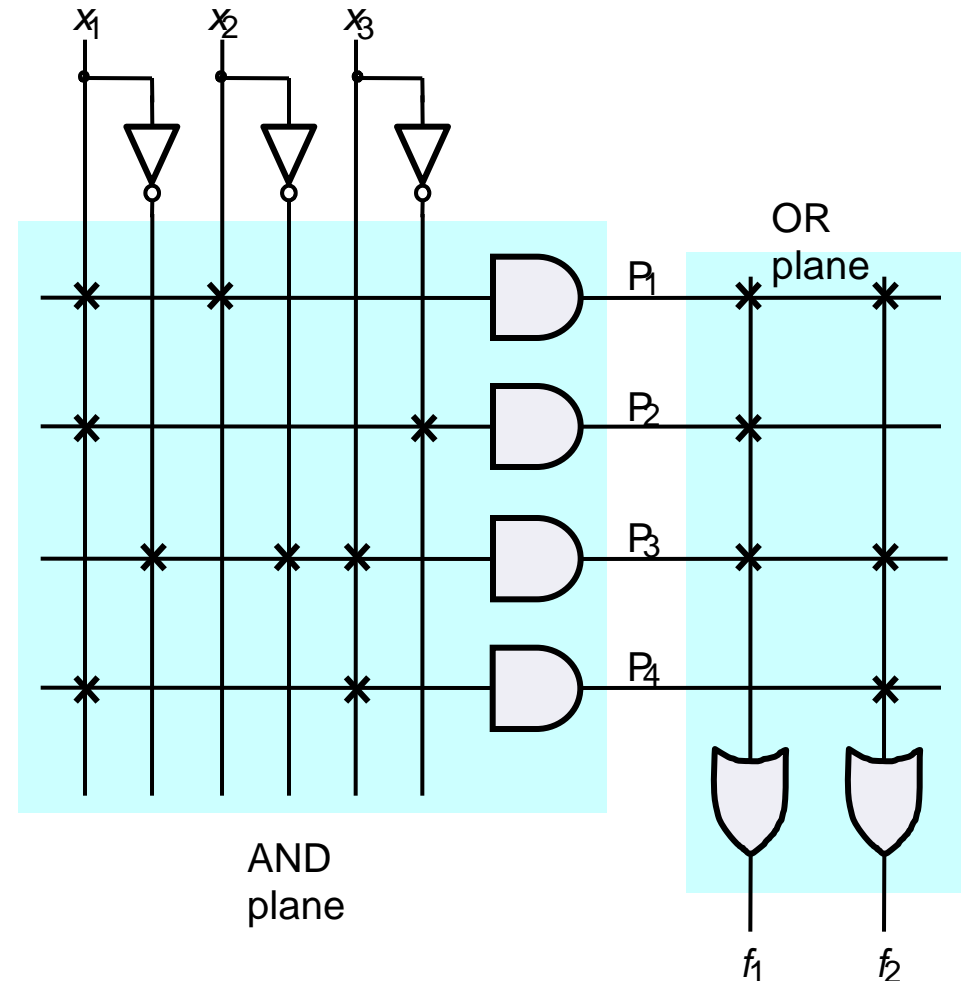


# Simulera!

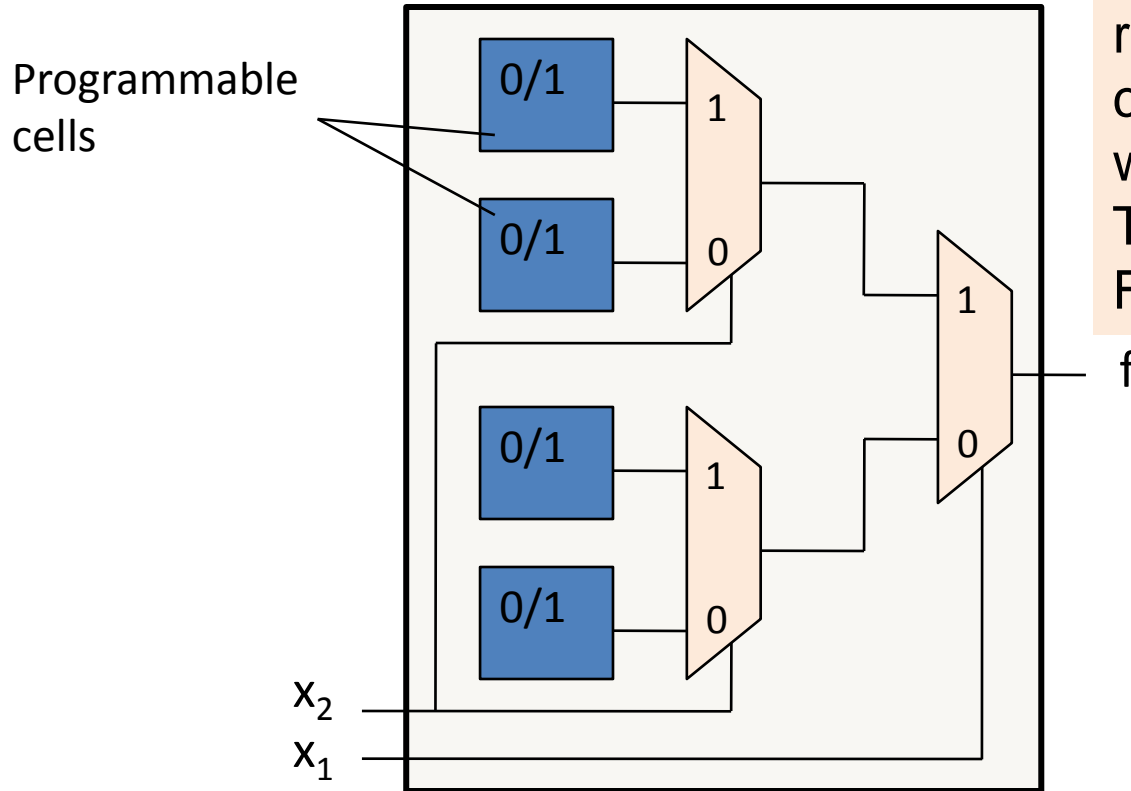


# Programmable Logic Array (PLA)

- Både AND- och OR-matriserna är programmeringsbara



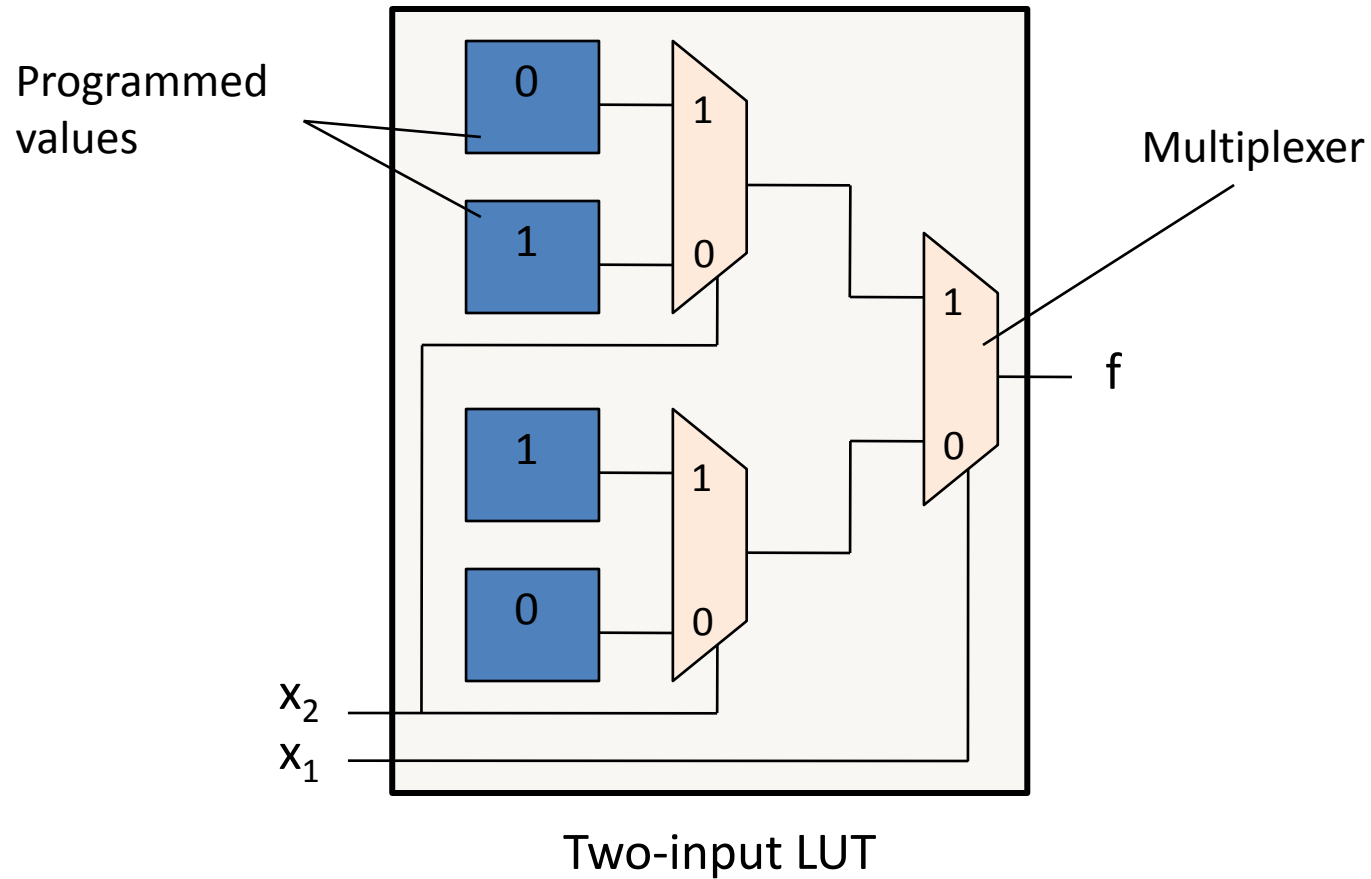
# Look-up-tables (LUT)



Two-input LUT

A LUT with  $n$  inputs can realize all combinational functions with  $n$  inputs  
The usual size in an FPGA is  $n=4$

# Example: XOR-Gate





- Logiska grindar kan implementeras med CMOS-teknologin
- CMOS-kretsar har en fördröjning
- CMOS-kretsar förbrukar relativt lite effekt